



(19)

(11) Publication number: **2000100191 A**

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: **10318164**

(51) Intl. Cl.: **G11C 29/00 G11C 11/401**

(22) Application date: **09.11.98**

(30) Priority: **23.07.98 JP 10208440**

(43) Date of application  
publication: **07.04.00**

(84) Designated contracting  
states:

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **KIKUTAKE AKIRA  
MATSUMIYA MASATO  
ETO SATOSHI  
KAWABATA KUNINORI  
IKEDA TOSHIMI  
ISHII YUKI**

(74) Representative:

### (54) SEMICONDUCTOR STORAGE AND SHIFT REDUNDANCY METHOD

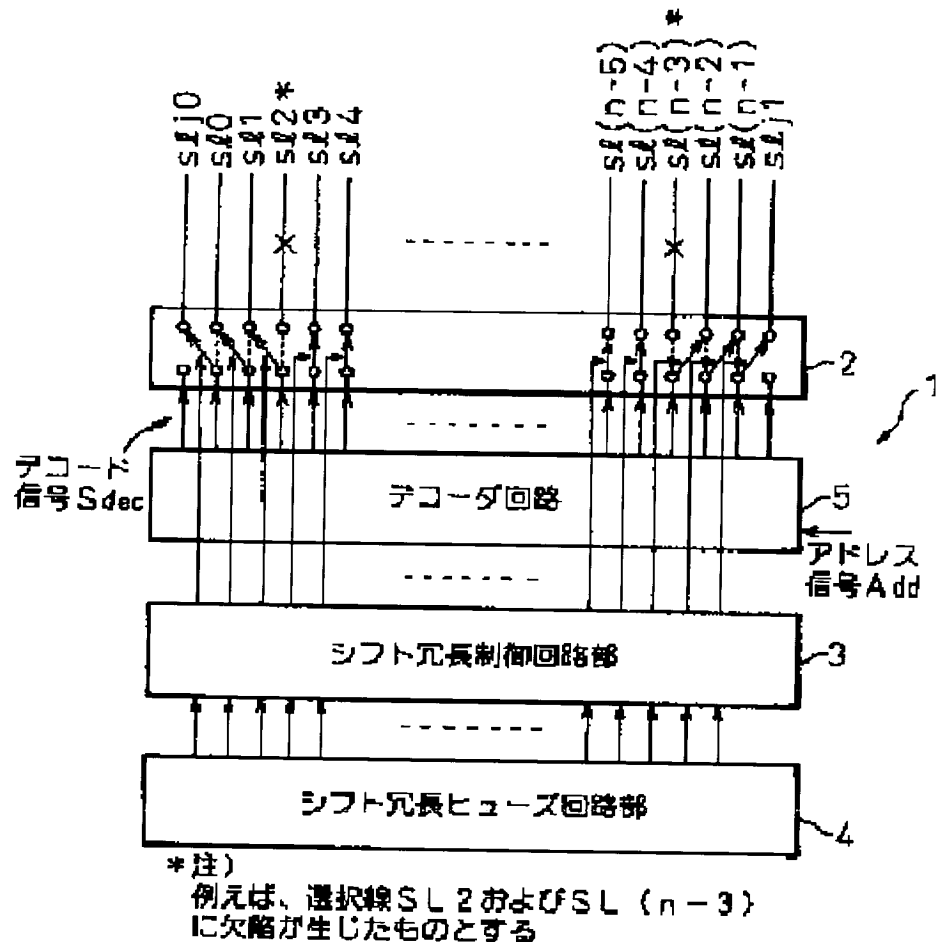
(57) Abstract:

**PROBLEM TO BE SOLVED:** To efficiently rescue a defective selection line by shifting a decode signal line to the direction of a second redundancy selection line (a first switching operation) or to the direction of a second redundancy selection line (a second switching operation) when a defect occurs or performing both the first and second switching operations.

**SOLUTION:** A signal from a shift redundancy fuse circuit part 4 for blowing a fuse corresponding to a defect selection line and a fuse for selecting redundancy corresponding to a redundancy selection line is inputted to a shift redundancy control circuit 3, and the output signal of the

shift redundancy control circuit part 3 is used as the control signal of a switch part 2. A shift redundancy circuit 1 is provided with the control circuit part 3 for performing the switching operation of a plurality of switch elements where a non-selected state is set in that no connection is made to any decode line according to the output result of the shift redundancy fuse circuit part 4, a plurality of decode signal lines are shifted in the direction of a first redundancy selection line slj0 by one selection line, and a second redundancy selection line is shifted in the direction of slj1 by one selection line.

COPYRIGHT: (C)2000,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-100191

(P2000-100191A)

(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl.<sup>7</sup>

G 1 1 C 29/00  
11/401

識別記号

6 0 3

F I

G 1 1 C 29/00  
11/34

テーマコード\*(参考)

6 0 3 D  
3 7 1 D

審査請求 未請求 請求項の数55 O L (全 66 頁)

(21)出願番号 特願平10-318164

(22)出願日 平成10年11月9日(1998.11.9)

(31)優先権主張番号 特願平10-208440

(32)優先日 平成10年7月23日(1998.7.23)

(33)優先権主張国 日本 (J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 菊竹 陽

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 松宮 正人

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100077517

弁理士 石田 敬 (外4名)

最終頁に続く

(54)【発明の名称】 半導体記憶装置およびシフト冗長方法

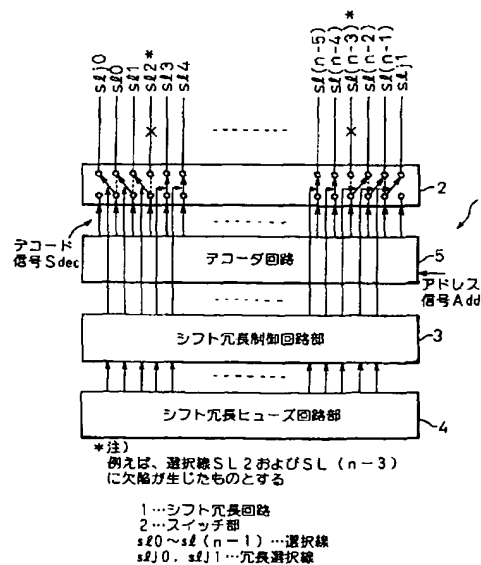
(57)【要約】

【課題】 複数の選択線の一部に欠陥が生じた場合に冗長選択線を用いてシフト冗長処理を行う機能を備えた半導体記憶装置およびシフト冗長方法に関し、選択線同士のショート等により2本以上の欠陥選択線が生じても欠陥を救済する共に、冗長の自由度を比較的大きくすることを目的とする。

【解決手段】 アドレス信号をデコードした複数のデコード信号線を、複数の選択線および冗長選択線に切替可能に接続するためのスイッチ回路を備え、複数の選択線内に欠陥が発生した場合、複数のデコード線の少なくとも1本を、選択線の中で一方の端に位置する第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、複数のデコード線の少なくとも1本を、選択線の中で他方の端に位置する第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、第1および第2の切替動作の双方の切替動作を行うように構成される。

図 1

本発明の原理構成を示すブロック図



## 【特許請求の範囲】

【請求項1】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、前記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するためのスイッチ回路とを備え、前記複数の選択線内に欠陥が発生した場合に、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とする半導体記憶装置。

【請求項2】 前記複数の選択線内の2本の選択線に欠陥が発生した場合に、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように構成される請求項1記載の半導体記憶装置。

【請求項3】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の2本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも1本を左方向にシフトさせて前記第1の切替動作を行うと共に、前記デコード信号線の少なくとも1本を右方向にシフトさせて前記第2の切替動作を行うように構成される請求項2記載の半導体記憶装置。

【請求項4】 前記複数の選択線内の1本の選択線に欠陥が発生した場合に、前記第1の切替動作または前記第2の切替動作のいずれか一方の切替動作を行うように構成される請求項1記載の半導体記憶装置。

【請求項5】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の1本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも1本を左方向にシフトさせて前記第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を右方向にシフトさせて前記第2の切替動作を行うように構成される請求項4記載の半導体記憶装置。

【請求項6】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、前記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部

と、前記複数の選択線および前記冗長選択線に対応して設けられる複数のヒューズを有し、前記複数の選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、

前記シフト冗長ヒューズ回路部からの出力結果に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備えることを特徴とする半導体記憶装置。

【請求項7】 前記複数の選択線内の2本の選択線に欠陥が発生した場合に、前記シフト冗長ヒューズ回路部が、該欠陥が発生した2本の欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、前記シフト冗長制御回路部が、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項6記載の半導体記憶装置。

【請求項8】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の2本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも1本を左方向にシフトさせて前記第1の切替動作を行うと共に、前記デコード信号線の少なくとも1本を右方向にシフトさせて前記第2の切替動作を行うように構成される請求項7記載の半導体記憶装置。

【請求項9】 前記シフト冗長ヒューズ回路部からの出力結果が、前記欠陥選択線の各々に対応するヒューズ、および前記冗長選択用ヒューズが切断されているか否かを示す直流電圧のレベルにて出力される請求項7記載の半導体記憶装置。

【請求項10】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNANDゲートと、該NANDゲートからのシフト制御信号を反転するインバータとを含む請求項7記載の半導体記憶装置。

【請求項11】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNORゲートと、該NORゲートからのシフト制御信号を反転するインバータとを含む請求項7記載の半導体記憶装置。

【請求項12】 前記スイッチ部内の複数のスイッチ素子の各々が、前記第1の冗長選択線の方向へのシフト動

作を行うモード、前記第2の冗長選択線の方角へのシフト動作を行うモード、または該シフト動作を行わないモードを選択することが可能な3方向性のスイッチ素子である請求項7記載の半導体記憶装置。

【請求項13】 前記複数のスイッチ素子の各々が、前記デコード信号線と前記欠陥選択線との接続を行わない非選択のモードを選択することが可能な請求項12記載の半導体記憶装置。

【請求項14】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項7記載の半導体記憶装置。

【請求項15】 前記シフト冗長ヒューズ回路部が、強制冗長時に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長用ヒューズ回路を有し、前記冗長選択線に不良がないか否かを確認するように構成される請求項7記載の半導体記憶装置。

【請求項16】 前記強制冗長用ヒューズ回路に接続される選択線が、前記冗長選択線の隣以外の場所に配置される請求項15記載の半導体記憶装置。

【請求項17】 前記複数の選択線内の1本の選択線に欠陥が発生した場合に、前記シフト冗長ヒューズ回路部が、該欠陥が発生した1本の欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、前記シフト冗長制御回路部が、前記第1の切替動作または前記第2の切替動作のいずれか一方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項6記載の半導体記憶装置。

【請求項18】 前記複数の選択線が左右方向に並んで配置されている場合、前記複数の選択線内の1本の選択線に欠陥が発生したときに、前記デコード信号線の少なくとも1本を左方向にシフトさせて前記第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を右方向にシフトさせて前記第2の切替動作を行うように構成される請求項17記載の半導体記憶装置。

【請求項19】 前記シフト冗長ヒューズ回路部からの出力結果が、前記欠陥選択線に対応するヒューズ、および前記冗長選択用ヒューズが切断されているか否かを示す直流電圧のレベルにて出力される請求項17記載の半導体記憶装置。

【請求項20】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNANDゲートと、該NANDゲートからのシフト制御信号を反転するインバータとを含む請求項17記載の半導体記憶装置。

【請求項21】 前記シフト冗長制御回路部が、前記シフト冗長ヒューズ回路部からの出力結果を受けて前記複数の選択線をいずれかの方向にシフトさせるためのシフ

ト制御信号を出力するNORゲートと、該NORゲートからのシフト制御信号を反転するインバータとを含む請求項17記載の半導体記憶装置。

【請求項22】 前記スイッチ部内の複数のスイッチ素子の各々が、前記冗長選択線の方角へのシフト動作を行うモード、前記冗長選択線の他方の方角へのシフト動作を行うモード、または該シフト動作を行わないモードを選択することが可能な3方向性のスイッチ素子である請求項17記載の半導体記憶装置。

【請求項23】 前記複数のスイッチ素子の各々が、前記デコード信号線と前記欠陥選択線との接続を行わない非選択のモードを選択することが可能な請求項22記載の半導体記憶装置。

【請求項24】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項17記載の半導体記憶装置。

【請求項25】 前記シフト冗長ヒューズ回路部が、強制冗長時に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長用ヒューズ回路を有し、前記冗長選択線に不良がないか否かを確認するように構成される請求項17記載の半導体記憶装置。

【請求項26】 前記強制冗長用ヒューズ回路に接続される選択線が、前記冗長選択線の隣以外の場所に配置される請求項25記載の半導体記憶装置。

【請求項27】 前記複数のメモリセルのブロック内で、前記シフト冗長ヒューズ回路部の出力レベルを評価して少なくとも一つのヒューズが切断されているか否かを判定することにより、前記冗長選択線が使用されているか否かを検出する請求項6から26のいずれか一項に記載の半導体記憶装置。

【請求項28】 前記複数のメモリセルの周期性と、前記選択線によって選択されるメモリセルブロックの周期性とが一致するようにデータの書き込みまたは読み出しを行う請求項6から26のいずれか一項に記載の半導体記憶装置。

【請求項29】 半導体チップ内で、前記複数の選択線と前記複数のヒューズとが同一のピッチにてレイアウトが行われる請求項6から26のいずれか一項に記載の半導体記憶装置。

【請求項30】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、前記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能

に接続するための複数のスイッチ素子を含むスイッチ部と、

前記複数の選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコード回路と、

前記ヒューズデコード回路からのヒューズデコード信号に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備えることを特徴とする半導体記憶装置。

【請求項31】 前記複数の選択線内の2本の選択線に欠陥が発生した場合に、前記ヒューズデコード回路が、該欠陥が発生した2本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、前記シフト冗長制御回路部が、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項30記載の半導体記憶装置。

【請求項32】 前記ヒューズデコード回路による前記欠陥選択線の各々に対応するヒューズのアドレスの指定は、前記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる請求項31記載の半導体記憶装置。

【請求項33】 前記ヒューズデコード回路は、それぞれ異なる前記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコード部を有する請求項31記載の半導体記憶装置。

【請求項34】 前記複数の選択線内の1本の選択線に欠陥が発生した場合に、前記ヒューズデコード回路が、該欠陥が発生した1本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、前記シフト冗長制御回路部が、前記第1の切替動作または前記第2の切替動作のいずれか一方の切替動作を行うように、前記複数のスイッチ素子を制御する請求項30記載の半導体記憶装置。

【請求項35】 前記ヒューズデコード回路による前記欠陥選択線に対応するヒューズのアドレスの指定は、前記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる請求項34記載の半導体記憶装置。

【請求項36】 前記ヒューズデコード回路は、それぞれ異なる前記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコード部を有する請求項34記載の半導体記憶装置。

【請求項37】 外部から供給されるアドレス信号に基

づき、複数のセルアレイの各々に設けられる複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置において、該複数のセルアレイの各々に対し、

前記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、

前記複数の選択線内に欠陥が発生した場合に、前記複数の選択線の総数よりも少ない複数のヒューズの組み合わせに基づき、前記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコード回路と、

前記ヒューズデコード回路からのヒューズデコード信号に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、

隣接するセルアレイに対し、前記複数のヒューズを有するシフト冗長ヒューズ回路部を共有させるように構成されることを特徴とする半導体記憶装置。

【請求項38】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項37記載の半導体記憶装置。

【請求項39】 前記の隣接するセルアレイに対し、前記通常選択用のヒューズ回路および前記強制冗長用ヒューズ回路を共有させる請求項37記載の半導体記憶装置。

【請求項40】 前記の隣接するセルアレイに対し、それぞれ独立に前記冗長選択用ヒューズ回路を設ける請求項38記載の半導体記憶装置。

【請求項41】 前記の隣接するセルアレイのいずれか一方の前記複数の選択線に対し、前記第1の切替動作を行うか、もしくは、前記第2の切替動作を行うか、もしくは、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことが可能であり、または、前記の隣接するセルアレイの両方の前記複数の選択線に対し、前記第1の切替動作を行うか、もしくは、前記第2の切替動作を行うか、もしくは、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことが可能である

請求項37から40のいずれか一項に記載の半導体記憶装置。

【請求項42】 外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置してなる半導体記憶装置において、該複数のメモリセルブロックの各々は、複数の行ブロックに分割され、該複数のメモリセルブロックの各々に対し、前記複数の列選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、前記アドレス信号をデコードした複数のデコード信号線を、前記複数の列選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、前記複数の列選択線の総数よりも少ない複数のヒューズ、および、前記冗長選択線に対応して設けられる複数の冗長選択用ヒューズを有するシフト冗長ヒューズ回路部と、前記複数の列選択線内に欠陥が発生した場合に、前記複数のヒューズの組み合わせに基づき、前記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコード回路と、前記ヒューズデコード回路からのヒューズデコード信号に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、前記複数の行ブロックの論理アドレスに基づいて、前記複数の行ブロックの各々に対し独立に、前記第1の切替動作を行うか、または、前記第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うか、または、前記第1の切替動作および前記第2の切替動作のいずれも行わないように構成されることを特徴とする半導体記憶装置。

【請求項43】 前記ヒューズデコード回路からの前記ヒューズデコード信号が、前記論理アドレスに基づいて生成される請求項42記載の半導体記憶装置。

【請求項44】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項42または43記載の半導体記憶装置。

【請求項45】 外部から供給されるアドレス信号に基

づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置してなる半導体記憶装置において、該複数のメモリセルブロックの各々は、複数の行ブロックに分割され、該複数のメモリセルブロックの各々に対し、前記複数の列選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、前記アドレス信号をデコードした複数のデコード信号線を、前記複数の列選択線および前記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、前記複数の列選択線および前記冗長選択線に対応して設けられる複数のヒューズを有し、前記複数の列選択線内に欠陥が発生した場合に、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、

前記シフト冗長ヒューズ回路部からの出力結果に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うように、前記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、前記複数の行ブロックの論理アドレスに基づいて、前記複数の行ブロックの各々に対し独立に、前記第1の切替動作を行うか、または、前記第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うか、または、前記第1の切替動作および前記第2の切替動作のいずれも行わないように構成されることを特徴とする半導体記憶装置。

【請求項46】 前記シフト冗長ヒューズ回路部からの前記出力結果が、前記論理アドレスに基づいて生成される請求項45記載の半導体記憶装置。

【請求項47】 前記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する請求項45または46記載の半導体記憶装置。

【請求項48】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線

を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の選択線内に欠陥が発生した場合に、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項49】 前記複数の選択線内の2本の選択線に欠陥が発生した場合に、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行う請求項48記載のシフト冗長方法。

【請求項50】 前記複数の選択線内の1本の選択線に欠陥が発生した場合に、前記第1の切替動作または前記第2の切替動作のいずれか一方の切替動作を行う請求項48記載のシフト冗長方法。

【請求項51】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、前記シフト冗長ヒューズ回路部からの出力結果に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項52】 外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

前記複数の選択線内に欠陥が発生した場合に、該欠陥が

発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、

該ヒューズデコード信号に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項53】 外部から供給されるアドレス信号に基づき、複数のセルアレイの各々に設けられる複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、該複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、

隣接するセルアレイに対し、複数のヒューズを有するシフト冗長回路部を共有させ、

前記複数の選択線内に欠陥が発生した場合に、前記複数のヒューズの組み合わせに基づき、前記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、

前記の隣接するセルアレイのいずれか一方またはその両方に対し、前記ヒューズデコード回路からのヒューズデコード信号に応じて、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うことを特徴とするシフト冗長方法。

【請求項54】 外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置し、該複数のメモリセルブロックの各々は、複数の行ブロックに分割され、前記複数の列選択線の中で、一方の端に位置する列選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する列選択線を少なくとも1本の第2の冗長選択線とし、

前記アドレス信号をデコードした複数のデコード信号線を、前記複数の列選択線および前記冗長選択線に切替可能に接続し、

前記複数の列選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、該複数のヒューズの組み合わせに基づき、前記欠陥が発生し

た欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、前記複数の行ブロックの論理アドレスに基づいて、前記複数の行ブロックの各々に対し独立に、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うか、または、前記第1の切替動作および前記第2の切替動作のいずれも行わないようにすることを特徴とするシフト冗長方法。

【請求項5】 外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置し、該複数のメモリセルブロックの各々は、複数の行ブロックに分割され、前記複数の列選択線の中で、一方の端に位置する列選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する列選択線を少なくとも1本の第2の冗長選択線とし、前記アドレス信号をデコードした複数のデコード信号線を、前記複数の選択線および前記冗長選択線に切替可能に接続し、前記複数の列選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、該欠陥が発生した欠陥選択線に対応するヒューズ、および、前記冗長選択線に対応する冗長選択用ヒューズを切断し、前記複数の行ブロックの論理アドレスに基づいて、前記複数の行ブロックの各々に対し独立に、前記デコード信号線の少なくとも1本を前記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、前記デコード信号線の少なくとも1本を前記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、前記第1の切替動作と前記第2の切替動作の双方の切替動作を行うか、または、前記第1の切替動作および前記第2の切替動作のいずれも行わないようにすることを特徴とするシフト冗長方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線の一部に欠陥が発生した場合に、冗長選択線を使用して欠陥を救済するためのシフト冗長機能を備えた半導体記憶装置およびシフト冗長方法に関する。近年のダイナミック・ランダム・アクセス・メモリ（DRAM）やフラッシュメモリ等のような大容量の半導体記憶装置においては、欠陥なく半導体チップを製造することは極めて困難である。半導体

チップの製造後に、このような欠陥が発生していることが見出された場合、この半導体チップは最悪廃棄しなければならず、チップ製造の歩留りが低下するおそれがある。このような事態を回避するために、半導体チップ内に予め設けられた冗長選択線等の冗長回路要素を利用することにより欠陥を救済する対策を講じることが不可欠になる。

【0002】さらに、近年の大容量の半導体記憶装置に対しては、高速動作かつ低消費電力動作が要求されるようになっている。このため、上記のような冗長回路要素を利用した冗長方式においては、①冗長置き換え処理が速く、高速アクセスが実現されること、②低消費電力であること、および、③半導体チップ上の欠陥を効率良く救済できることが要求される。

【0003】

【従来の技術】半導体チップ内の冗長回路要素を利用した冗長方式として、現在さまざまな方式が採用されているが、この中のシフト冗長方式は、アクセス速度が速い、消費電流（消費電力）が小さい等の特徴を有しており、近年の大容量の半導体記憶装置に対し有効な手段と考えられる。

【0004】図94は、一般の冗長機能を備えた半導体記憶装置の構成を示すブロック図である。

【0005】例えばDRAM等の半導体記憶装置においては、図94に示すように、マトクス状に配置された複数のメモリセル600に対し、外部から供給されるデコード信号に基づいて動作する行デコーダ800と、列デコーダ700が設けられている。これらの行デコーダ800および列デコーダ700は、それぞれ、ロー選択線（行選択線ともよばれる）WLおよびカラム選択線（列選択線ともよばれる）CLに接続されており、上記デコード信号のアドレス信号Add（A0～An）に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うために使用される。

【0006】一般の冗長方式においては、欠陥が発生したロー選択線またはカラム選択線（以下、特に断らない限り、単に選択線と称する）を、予め用意している欠陥救済用の冗長選択線に置き換えることによって冗長を実行する。

【0007】実際には、冗長判定回路840により、アドレス信号Addのアドレスが入力される毎に、入力されたアドレスと、予め検出され記憶されている欠陥選択線のアドレスとを比較し、入力されたアドレスが欠陥選択線のアドレスに一致するか否か（一致／不一致）を判定している。また一方で、アドレス信号Addのアドレスは、冗長判定回路840を経由することなく、行デコーダ800に順次入力される。冗長判定回路840により、ある一つの入力アドレスが、欠陥選択線のアドレスに一致しないと判定された場合、行デコーダ800は、

この判定結果を受けて上記入力アドレスに対応する選択線（ロー選択線）を選択する動作を行う。ある一つの入力アドレスが、欠陥選択線のアドレスに一致すると判定された場合、行デコーダ800は、上記入力アドレスに対応する選択線は選択せず冗長選択線を選択する動作を行う。このようにして、冗長判定回路840は、入力される全てのアドレスに対し、入力アドレスと欠陥選択線のアドレスとの一致／不一致を判定する。

【0008】さらに、冗長判定回路740により、アドレス信号Addのアドレスが入力される毎に、入力されたアドレスと、予め検出され記憶されている欠陥選択線のアドレスとを比較し、入力されたアドレスが欠陥選択線のアドレスに一致するか否か（一致／不一致）を判定している。また一方で、アドレス信号Addのアドレスは、冗長判定回路740を経由することなく、列デコーダ700に順次入力される。冗長判定回路740により、ある一つの入力アドレスが、欠陥選択線のアドレスに一致しないと判定された場合、列デコーダ700は、この判定結果を受けて上記入力アドレスに対応する選択線（カラム選択線）を選択する動作を行う。ある一つの入力アドレスが、欠陥選択線のアドレスに一致すると判定された場合、列デコーダ700は、上記入力アドレスに対応する選択線は選択せず冗長選択線を選択する動作を行う。このようにして、冗長判定回路740は、入力される全てのアドレスに対し、入力アドレスと欠陥選択線のアドレスとの一致／不一致を判定する。

【0009】ここで、カラム選択線CL（選択線s0～sn、冗長選択線sj0）に欠陥が発生した場合の図94の動作をより詳しく説明する。冗長判定回路740から出力される冗長イネーブル（活性化）信号JENが“L（Low）”レベルならば（すなわち、入力アドレスと欠陥選択線のアドレスとが不一致になっていると判定された場合）、列デコーダ700は、アドレス信号Addの入力アドレスを通常どおりデコードし、選択線s0～snの中から目的の選択線を選択する。また一方で、冗長判定回路740から出力される冗長イネーブル信号JENが“H（High）”レベルならば（すなわち、入力アドレスと欠陥選択線のアドレスとが一致すると判定された場合）、列デコーダ700は、入力アドレスから選択されるべき選択線を非選択状態にして冗長選択線sj0を選択する。

【0010】また一方で、ロー選択線WLに欠陥が発生した場合の図94の動作をより詳しく説明する。冗長判定回路840から出力される冗長イネーブル（活性化）信号JENが“L”レベルならば（すなわち、入力アドレスと欠陥選択線のアドレスとが不一致になっていると判定された場合）、行デコーダ800は、アドレス信号Addの入力アドレスを通常どおりデコードし、複数の選択線の中から目的の選択線を選択する。また一方で、冗長判定回路840から出力される冗長イネーブル信号

JENが“H”レベルならば（すなわち、入力アドレスと欠陥選択線のアドレスとが一致すると判定された場合）、行デコーダ800は、入力アドレスから選択されるべき選択線を非選択状態にして冗長選択線を選択する。

【0011】前述したように、アドレス信号Addは、冗長判定回路740（または冗長判定回路840）の冗長判定動作に関係なく列デコーダ700（または行デコーダ800）に順次入力される。それゆえに、冗長判定回路740（または840）による判定結果として出力される冗長イネーブル信号JENは、アドレス信号Addが列デコーダ700（または行デコーダ800）に入力されるタイミングよりも遅れて列デコーダ700（または行デコーダ800）に入力されることになる（ただし、図94のディレイ回路720、820がない場合）。ここで、アドレス信号Addが列デコーダ700（または行デコーダ800）に入力される経路を時間的に遅らせない場合、本来冗長されるべき選択線（すなわち、非選択状態にすべき選択線）が、ある一時期選択されてしまうことになる。このような事態を回避するために、アドレス信号Addが列デコーダ700に供給される経路にディレイ回路720を設ける方法（または、アドレス信号Addが行デコーダ800に供給される経路にディレイ回路820を設ける方法）、またはこれに準じた方法により、冗長判定回路740（または冗長判定回路840）の冗長判定結果を待ってからアドレス信号をデコードする必要がある。このディレイ回路による遅延時間のために、データの書き込みまたは読み出しの際のアクセス時間が余計にかかり、高速アクセスが困難になる。さらに、アドレス信号Addが入力される毎に、冗長判定回路740（または冗長判定回路840）を動作させることが必要であり、このために消費電流（消費電力）が増大する。

【0012】これに対し、従来のシフト冗長機能を備えたシフト冗長方式においては、上記のような欠陥選択線を冗長選択線に直接置き換える方式とは異なり、複数のスイッチ素子を動作させて欠陥選択線より上位（または下位）の選択線のアドレスを1ビット下位（または上位）にシフトさせるようにしている。このようなシフト冗長方式では、複数のスイッチ素子により、列デコーダ700（または行デコーダ800）から出力されるデコード信号とカラム選択線CL（またはロー選択線）との接続関係が一度決定されれば、2度と変わることはない。したがって、アドレス信号Addのアドレスが入力される毎に、冗長判定回路を動作させて入力アドレスと欠陥選択線のアドレスとの一致／不一致を判定する必要がなくなる。この結果、従来のシフト冗長方式を利用した半導体装置においては、アクセス速度が比較的速くなり、消費電流が小さくなる。

【0013】

【発明が解決しようとする課題】しかしながら、従来のシフト冗長方式では、1ビット分、すなわち、1本の選択線の分しかデコード信号線をシフトさせる（すなわち、1ビットのシフト冗長を行う）ことしかできないので、選択線同士のショート等に起因する2本以上の欠陥選択線が存在した場合、このような欠陥選択線を救済することが不可能であった。

【0014】それゆえに、従来のシフト冗長方式を使用した場合でも、半導体チップ上の欠陥を効率良く救済することができないので、チップ製造の歩留まりをそれほど高くすることができないといった問題が生じてきた。

【0015】さらに、複数のメモリセルを含むセルアレイが複数個配置された半導体チップにおいては、一般に、各々のセルアレイに対応して独立に冗長判定回路等を設けるようにしているので、1つのセルアレイ内の選択線（ロー選択線またはカラム選択線）の総数に対してしか冗長の自由度を確保することができなかった。

【0016】さらにまた、複数の行ブロックにわたって配置されたカラム選択線に対しシフト冗長を行う場合に、上記のカラム選択線のシフト冗長を行うか否かが全ての行ブロックに対し一様に決まっていた。このため、全ての行ブロックの冗長が行われなかったり、全ての行ブロックで同じカラム選択線に対するシフト冗長が行われたりするので、行ブロック単位での冗長を行うことができず、冗長の自由度が制限される傾向にあった。

【0017】本発明は上記問題点を鑑みてなされたものであり、選択線同士のショート等が存在して2本以上の欠陥選択線が生じた場合に、このような欠陥選択線を救済することが可能であると共に、冗長の自由度を比較的大きくすることが可能なシフト冗長方式の半導体記憶装置およびシフト冗長方法を提供することを目的とするものである。

【0018】

【課題を解決するための手段】上記問題点を解決するために、本発明の半導体記憶装置は、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置しており、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するためのスイッチ回路（後述の図1および図2のスイッチ部2にほぼ対応する）を備えている。

【0019】このような構成において、上記複数の選択線内に欠陥が発生した場合に、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向に

シフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。ここで、「デコード信号線をシフトさせる」とは、選択線とデコード信号線との接続の状態をシフトさせることを意味する。

【0020】好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように構成される。

【0021】さらに、好ましくは、上記複数の選択線が左右方向に並んで配置されている場合、上記複数の選択線内の2本の選択線に欠陥が発生したときに、上記デコード信号線の少なくとも1本を左方向にシフトさせて上記第1の切替動作を行うと共に、上記デコード信号線の少なくとも1本を右方向にシフトさせて上記第2の切替動作を行うように構成される。すなわち、本発明の半導体記憶装置では、第1の冗長選択線の方向、および第2の冗長選択線の方向にデコード信号線をシフトさせることにより、2ビットのシフト冗長を行うように構成される。

【0022】さらに、好ましくは、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うように構成される。

【0023】さらに、好ましくは、上記複数の選択線が左右方向に並んで配置されている場合、上記複数の選択線内の1本の選択線に欠陥が発生したときに、上記デコード信号線の少なくとも1本を左方向にシフトさせて上記第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を右方向にシフトさせて上記第2の切替動作を行うように構成される。すなわち、本発明の半導体記憶装置では、第1の冗長選択線の方向、または第2の冗長選択線のいずれかの方向にシフトさせることにより、従来の場合と同じように、1ビットのシフト冗長を行うことも可能なように構成される。

【0024】また一方で、本発明の半導体装置は、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の選択線および上記冗長選択線に対応して設けられる複数のヒューズを有し、上記複数の選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、上記シフ

ト冗長ヒューズ回路部からの出力結果に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備える。

【0025】好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記シフト冗長ヒューズ回路部が、上記欠陥が発生した2本の欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記シフト冗長制御回路部が、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

【0026】さらに、好ましくは、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記シフト冗長ヒューズ回路部が、上記欠陥が発生した1本の欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記シフト冗長制御回路部が、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

【0027】さらに、図1～図4を参照しながら、本発明の半導体記憶装置の基本的な回路構成について述べることにする。

【0028】図1は、本発明の原理構成を示すブロック図、図2は、本発明の基本原理解説するための模式図、図3は、本発明のシフト冗長回路の基本概念を示すブロック図、そして、図4は、図3の各部の信号レベルを示す図である。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付して表す。

【0029】図1に示すように、本発明の半導体記憶装置は、外部から供給されるアドレス信号Addをデコードするデコーダ回路5を有する。さらに、上記半導体記憶装置では、このデコーダ回路5から出力されるデコード信号Sdecのアドレスに基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線s10～s1(n-1)(nは2以上の任意の正の整数)を配置すると共に、上記複数の選択線に欠陥がない場合は、上記デコード信号Sdecが転送される複数のデコード信号線のいずれにも接続されない2本の冗長選択線s1j0、s1j1を、上記複数の選択線の中で一方の端の位置、および他方の端の位置にそれぞれ配置している。

【0030】さらに、図1においては、上記複数のデコード信号線と、上記複数の選択線および冗長選択線との接続関係を制御するシフト冗長回路1を設けている。このシフト冗長回路1は、上記複数のデコード信号線を、

上記複数の選択線および冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部2と、上記複数の選択線および上記冗長選択線に対応して設けられる複数のヒューズを有し、上記複数の選択線に欠陥が発生した場合に、これらの欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部4とを備えている。ここで、シフト冗長ヒューズ回路部4から出力された信号は、シフト冗長制御回路部3に入力される。さらに、このシフト冗長制御回路部3から出力された信号は、スイッチ部2を制御するためのシフト制御信号として使用される。

【0031】さらに、図1のシフト冗長回路1は、上記シフト冗長ヒューズ回路部4からの出力結果に応じて、上記欠陥選択線を上記デコード信号線のいずれにも接続させない非選択状態にし、上記複数の選択線の中で一方の端(例えば、左端)に位置する第1の冗長選択線s1j0の方向に、1本の選択線の分(すなわち、1ビット分)だけ上記複数のデコード信号線をシフトさせたり、上記複数の選択線の中で他方の端(例えば、右端)に位置する第2の冗長選択線s1j1の方向に、1本の選択線の分だけ上記複数のデコード信号線をシフトさせるように、上記複数のスイッチ素子の切替動作を制御するシフト冗長制御回路部3を備えている。すなわち、図1の半導体記憶装置は、第1の冗長選択線の方向、もしくは、第2の冗長選択線の方向、またはその両方の方向にシフトさせることにより、1ビットまたは2ビットのシフト冗長を行うように構成される。

【0032】好ましくは、本発明の半導体記憶装置では、上記シフト冗長ヒューズ回路部4からの出力結果が、上記欠陥選択線に対応するヒューズ、および上記冗長選択用ヒューズが切断されているか否かを示す直流電圧のレベルにて出力されるようになっている。

【0033】さらに、好ましくは、上記シフト冗長制御回路部4は、上記シフト冗長ヒューズ回路部4からの出力結果を受けて、上記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNANDゲート(否定論理積ゲート)と、このNANDゲートからのシフト制御信号を反転するインバータとを含む。

【0034】さらに、好ましくは、上記シフト冗長制御回路部4は、上記シフト冗長ヒューズ回路部4からの出力結果を受けて、上記複数の選択線をいずれかの方向にシフトさせるためのシフト制御信号を出力するNORゲート(否定論理和ゲート)と、このNORゲートからのシフト制御信号を反転するインバータとを含む。

【0035】さらに、好ましくは、本発明の半導体記憶装置では、上記スイッチ部2内の複数のスイッチ素子の各々が、上記第1の冗長選択線s1j0の方向へのシフト動作(すなわち、左方向シフト)を行うモード、上記第2の冗長選択線の方向へのシフト動作(すなわち、右

方向シフト)を行うモード、またはシフト動作を行わないモード(すなわち、シフトなし)を選択することが可能な3方向性のスイッチ素子である。

【0036】さらに、好ましくは、上記複数のスイッチ素子の各々は、上記デコード信号線と上記欠陥選択線との接続を行わない非選択のモードを選択することが可能である。

【0037】さらに、好ましくは、本発明の半導体記憶装置では、上記シフト冗長ヒューズ回路部4が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有する。

【0038】さらに、好ましくは、本発明の半導体記憶装置では、上記シフト冗長ヒューズ回路部4が、強制冗長時に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長用ヒューズ回路を設け、上記冗長選択線に不良がないか否かを確認するように構成される。

【0039】さらに、好ましくは、本発明の半導体記憶装置では、上記強制冗長ヒューズ回路に接続される選択線が、上記冗長選択線の隣以外の場所に配置される。

【0040】また一方で、本発明の半導体記憶装置におけるシフト冗長回路1は、上記複数のデコード信号線を、上記複数の選択線および冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部2と、上記複数の選択線および上記冗長選択線にそれぞれ対応して設けられる複数のヒューズを有し、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、これらの欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部4とを備えている。

【0041】さらに、上記のシフト冗長回路1は、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記欠陥選択線を上記デコード信号線のいずれにも接続させない非選択状態にし、上記複数の選択線の中でいずれか一方の端に位置する冗長選択線の方向に、1本の選択線の分だけ上記複数のデコード信号線をシフトさせるように、上記複数のスイッチ素子の切替動作を制御するシフト冗長制御回路部3を備えている。すなわち、図1の半導体記憶装置は、第1の冗長選択線の方向、または第2の冗長選択線のいずれかの方向にシフトさせることにより、1ビットのシフト冗長を行うこともできる。

【0042】さらに、好ましくは、本発明の半導体記憶装置では、上記複数のメモリセルのブロック内で、上記シフト冗長ヒューズ回路部4の出力レベルを評価して少なくとも一つのヒューズが切断されているか否かを判定することにより、上記冗長選択線が使用されているか否かを検出するようにしている。

【0043】さらに、好ましくは、本発明の半導体記憶装置では、上記複数のメモリセルの周期性が変わらない

ように(すなわち、メモリセルのトポロジが変わらないように)するために、1本の選択線により選択されるメモリセルブロックの周期性を上記メモリセルの周期性に一致させるようにしている。

【0044】さらに、好ましくは、本発明の半導体記憶装置では、半導体チップ内で、上記複数の選択線と上記複数のヒューズとが同一のピッチにてレイアウトが行われるようになっている。

【0045】さらに、本発明の第1の好ましい実施態様において、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置が、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコード回路と、上記ヒューズデコード回路からのヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備える。

【0046】好ましくは、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記ヒューズデコード回路が、上記欠陥が発生した2本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記シフト冗長制御回路部が、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

【0047】さらに、本発明の第1の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコード回路による上記欠陥選択線の各々に対応するヒューズのアドレスの指定は、上記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる。

【0048】さらに、本発明の第1の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコード回路は、それぞれ異なる上記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコード部を有する。

【0049】さらに、本発明の第2の好ましい実施態様において、上記複数の選択線内の1本の選択線に欠陥が

発生した場合に、上記ヒューズデコード回路が、上記欠陥が発生した1本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記シフト冗長制御回路部が、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うように、上記複数のスイッチ素子を制御するようになっている。

【0050】さらに、本発明の第2の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコード回路による上記欠陥選択線に対応するヒューズのアドレスの指定は、上記複数の選択線の総数よりも少ない複数のヒューズの組み合わせにより行われる。

【0051】さらに、本発明の第2の好ましい実施態様に係る半導体記憶装置では、上記ヒューズデコード回路は、それぞれ異なる上記複数のヒューズの組み合わせにより生成される信号をデコードする2個のヒューズデコード部を有する。

【0052】さらに、本発明の第3の好ましい実施態様において、外部から供給されるアドレス信号に基づき、複数のセルアレイの各々に設けられる複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置してなる半導体記憶装置が、上記複数のセルアレイの各々に対し、上記複数の選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の選択線内に欠陥が発生した場合に、上記複数の選択線の総数よりも少ない複数のヒューズの組み合わせに基づき、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコード回路と、上記ヒューズデコード回路からのヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、隣接するセルアレイに対し、上記複数のヒューズを有するシフト冗長ヒューズ回路部を共有させるように構成される。

【0053】さらに、本発明の第3の好ましい実施態様に係る半導体記憶装置では、上記シフト冗長ヒューズ回路部が、通常動作時に使用される通常選択用のヒューズ回路、冗長選択時に使用される冗長選択用ヒューズ回路、および、強制冗長時に使用される強制冗長用ヒューズ回路を有しており、上記の隣接するセルアレイに対

し、上記通常選択用のヒューズ回路および上記強制冗長用ヒューズ回路を共有させるように構成される。

【0054】さらに、本発明の第3の好ましい実施態様に係る半導体記憶装置では、上記の隣接するセルアレイに対し、それぞれ独立に上記冗長選択用ヒューズ回路を設けるようにしている。

【0055】さらに、本発明の第3の好ましい実施態様に係る半導体記憶装置では、上記の隣接するセルアレイのいずれか一方の複数の選択線に対し、上記第1の切替動作を行うか、もしくは、上記第2の切替動作を行うか、もしくは、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うことが可能であり、または、上記の隣接するセルアレイの両方の複数の選択線に対し、上記第1の切替動作を行うか、もしくは、上記第2の切替動作を行うか、もしくは、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うことが可能である。

【0056】さらに、本発明の第4の好ましい実施態様において、外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置してなる半導体記憶装置が、上記複数のメモリセルブロックの各々は、複数の行ブロックに分割され、これらの複数のメモリセルブロックの各々に対し、上記複数の列選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の列選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の列選択線の総数よりも少ない複数のヒューズ、および、上記冗長選択線に対応して設けられる複数の冗長選択用ヒューズを有するシフト冗長ヒューズ回路部と、上記複数の列選択線内に欠陥が発生した場合に、上記複数のヒューズの組み合わせに基づき、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するヒューズデコード回路と、上記ヒューズデコード回路からのヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数のスイッチ素子を制御するシフト冗長制御回路部とを備え、上記複数の行ブロックの論理アドレスに基づいて、上記複数の行ブロックの各々に対し独立に、上記第1の切替動作を行うか、または、上記第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の

切替動作を行うか、または、上記第1の切替動作および上記第2の切替動作のいずれも行わないように構成される。

【0057】好ましくは、上記ヒューズデコーダ回路からのヒューズデコード信号は、上記論理アドレスに基づいて生成される。

【0058】さらに、本発明の第5の好ましい実施態様において、外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置してなる半導体記憶装置が、上記複数のメモリセルブロックの各々は、複数の行ブロックに分割され、これらの複数のメモリセルブロックの各々に対し、上記複数の列選択線の中で、一方の端に位置する少なくとも1本の第1の冗長選択線、および他方の端に位置する少なくとも1本の第2の冗長選択線と、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の列選択線および上記冗長選択線に切替可能に接続するための複数のスイッチ素子を含むスイッチ部と、上記複数の列選択線および上記冗長選択線に対応して設けられる複数のヒューズを有し、上記複数の列選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断するシフト冗長ヒューズ回路部と、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うように、上記複数の行ブロックの論理アドレスに基づいて、上記複数の行ブロックの各々に対し独立に、上記第1の切替動作を行うか、または、上記第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うか、または、上記第1の切替動作および上記第2の切替動作のいずれも行わないように構成される。

【0059】好ましくは、上記シフト冗長ヒューズ回路部からの出力結果は、上記論理アドレスに基づいて生成される。

【0060】また一方で、本発明の第1のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線およ

び上記冗長選択線に切替可能に接続し、上記複数の選択線内に欠陥が発生した場合に、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0061】好ましくは、本発明の第1のシフト冗長方法では、上記複数の選択線内の2本の選択線に欠陥が発生した場合に、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0062】さらに、好ましくは、本発明の第1のシフト冗長方法では、上記複数の選択線内の1本の選択線に欠陥が発生した場合に、上記第1の切替動作または上記第2の切替動作のいずれか一方の切替動作を行うようにしている。

【0063】さらに、本発明の第2のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記シフト冗長ヒューズ回路部からの出力結果に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0064】さらに、本発明の第3のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の選択線内に欠陥が発生した場合に、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズ

デコード信号を生成し、このヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0065】さらに、本発明の第4のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のセルアレイの各々に設けられる複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の選択線を配置し、これらの複数の選択線の中で、一方の端に位置する選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、隣接するセルアレイに対し、複数のヒューズを有するシフト冗長回路部を共有させ、上記複数の選択線内に欠陥が発生した場合に、上記複数のヒューズの組み合わせに基づき、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記の隣接するセルアレイのいずれか一方またはその両方に対し、上記ヒューズデコーダ回路からのヒューズデコード信号に応じて、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うようにしている。

【0066】さらに、本発明の第5のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置し、これらの複数のメモリセルブロックの各々は、複数の行ブロックに分割され、上記複数の列選択線の中で、一方の端に位置する列選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する列選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の列選択線および上記冗長選択線に切替可能に接続し、上記複数の列選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、上記複数のヒューズの組み合わせに基づき、上記欠陥が発生した欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成し、上記複数の行ブロックの論理アドレスに基づいて、上記複数の行ブロックの各々に対し独立に、上記デコード信号線の少なくとも1

本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うか、または、上記第1の切替動作および上記第2の切替動作のいずれも行わないようにしている。

【0067】さらに、本発明の第6のシフト冗長方法においては、外部から供給されるアドレス信号に基づき、複数のメモリセルブロックの各々を構成する複数のメモリセルから特定のメモリセルを選択してデータの書き込みまたは読み出しを行うための複数の列選択線を配置し、上記複数のメモリセルブロックの各々は、複数の行ブロックに分割され、上記複数の列選択線の中で、一方の端に位置する列選択線を少なくとも1本の第1の冗長選択線とし、かつ、他方の端に位置する列選択線を少なくとも1本の第2の冗長選択線とし、上記アドレス信号をデコードした複数のデコード信号線を、上記複数の選択線および上記冗長選択線に切替可能に接続し、上記複数の列選択線内に欠陥が発生した場合に、複数のヒューズを有するシフト冗長ヒューズ回路部内で、上記欠陥が発生した欠陥選択線に対応するヒューズ、および、上記冗長選択線に対応する冗長選択用ヒューズを切断し、上記複数の行ブロックの論理アドレスに基づいて、上記複数の行ブロックの各々に対し独立に、上記デコード信号線の少なくとも1本を上記第1の冗長選択線の方向にシフトさせる第1の切替動作を行うか、または、上記デコード信号線の少なくとも1本を上記第2の冗長選択線の方向にシフトさせる第2の切替動作を行うか、または、上記第1の切替動作と上記第2の切替動作の双方の切替動作を行うか、または、上記第1の切替動作および上記第2の切替動作のいずれも行わないようにしている。

【0068】つぎに、図2の模式図により、本発明の2ビットのシフト冗長動作の概略を説明する。図2において、c1j0およびc1j1は、シフト冗長動作時に使用される冗長選択用選択線（例えば、冗長選択用カラム選択線）を示し、c10～c163は、通常動作時に使用される通常選択用の選択線（例えば、カラム選択線）を示す。これらの選択線は、スイッチ部2内の複数のスイッチ素子を介して半導体チップの外部より与えられるアドレス信号をデコードしたデコード信号線d0～d63と接続している。シフト冗長処理前または選択線等に欠陥が存在しない場合、c10とd0、c11とd1、…c162とd62、c163とd63が接続されるように、スイッチ素子によって制御される。選択線c1#とデコード信号線d#（#：0～63）が接続されるような場合をNS（Non-Shift：シフトなし）とよぶ。

【0069】図2の模式図は、2本の選択線c12、c157に欠陥が存在し、かつ、これらの欠陥に対しシフト冗長を行う場合を説明するためのものである。デコー

ド信号線d0、d1およびd2は、冗長選択線c1j0、選択線c10、および選択線c11にそれぞれ接続される（SL（Shift Left）：左方向シフト）。選択線c12、c157は、どのデコード信号線にも接続されず、常に非選択状態となる。選択線c13～c156は、NSの状態になっており、選択線、c158～c163、および冗長選択線c1j1は、デコード信号線d57～d63にそれぞれ接続される（SR（Shift Right）：右方向シフト）。

【0070】さらに、図3および図4により、2ビットのシフト冗長機能を備えた本発明のシフト冗長用スイッチ回路の基本概念を説明する。図3において、fj0、fj1、およびf0～f63はシフト冗長ヒューズ回路部4内の各々のヒューズ回路を示す。通常選択用のヒューズ回路f0～f63は、ヒューズを切断した場合に低電圧レベル（“L”レベル）を出力し、切断しない場合には高電圧レベル（“H”レベル）を出力する。また一方で、冗長選択用ヒューズ回路fj0、fj1は、それとは逆に、ヒューズを切断した場合に“H”レベルを出力し、切断しない場合には“L”レベルを出力する。この場合、1ビットのシフト冗長に対し、欠陥選択線に対応するヒューズ回路のヒューズと、冗長選択線に対応する冗長選択用ヒューズ回路のヒューズの2本が切断される。各ヒューズ回路のヒューズと、複数の選択線の各々は、同一ピッチ（例えば、3、2μm）にて半導体チップ上に配置され、一対一に対応している。

【0071】シフト冗長制御回路部3は、これらのヒューズ回路の出力結果を受けてスイッチ部2の各々のスイッチ素子を制御する回路であり、各々のヒューズ回路に接続されたシフト制御回路は、NANDゲート3-1、3-3およびインバータ3-2、3-4が図3のように接続された回路により構成されている。この場合、NANDゲート3-1、3-3の代わりに、NORゲートを使用することもできる（詳細は後述する）。ここでは、シフト冗長制御回路部3内の複数のシフト制御回路は、一方の入力信号uinと一方の出力信号uout、および、他方の入力信号linと他方の出力信号loutを接続することによって図3のように直列接続されている。上記のシフト冗長制御回路部3の中で、一方の端に位置するシフト制御回路および他方の端に位置するシフト制御回路の入力信号uin、linは、それぞれ高電圧側の電源に接続されており、“H”レベルの電圧が入力される。

【0072】スイッチ部2内の各々のスイッチ素子の切替動作は、シフト冗長制御回路部3から出力される出力信号uout、loutの“H”レベルおよび“L”レベルの組み合わせにより制御される。ヒューズを切断しない場合（図4の（a）のデフォルトの状態を参照）、出力信号uout、loutの出力レベルは全て“L”レベルになる。さらに、このとき、シフト冗長ヒューズ

回路4において、冗長選択線以外の選択線に対応するヒューズ回路の出力は“H”レベルになり、冗長選択線に対応するヒューズ回路の出力は“L”レベルになる。この場合は、シフト冗長動作はない（すなわち、シフトなしNS）と判断する。

【0073】ここで、例えば、ヒューズf1と冗長選択用ヒューズfj0を切断した場合（すなわち、選択線c11に欠陥が存在し、冗長用選択線c1j0を使用する場合）、図4の（b）の1ビットのシフト冗長による選択線の状態から明らかなように、デコード信号線d0、d1は、冗長用選択線c1j0および選択線c10にそれぞれ接続される（すなわち、左方向シフトSL）。それ以外は、シフトなしNSとなる。このとき、シフト冗長制御回路部3においてヒューズf0および冗長選択用ヒューズfj0からの信号が入力される位置の出力信号uoutのみ“H”レベルになっており、それ以外の位置の出力信号は全て“L”レベルになるため、出力信号uout=“H”で出力信号lout=“L”の状態を左方向シフトSLと判定する。さらに、このとき、シフト冗長ヒューズ回路4において、選択線c10に対応するヒューズ回路（ヒューズf0）の出力は“H”レベルのままであるが、冗長選択線c1j0に対応するヒューズ回路（切断した冗長選択用ヒューズfj0）の出力は“L”レベルになる。

【0074】さらに、シフト冗長制御回路部3は、欠陥が存在する選択線c11に対しては、いずれのデコード信号線も接続されない非選択状態になるように、スイッチ部1内の対応するスイッチ素子の切替制御を行う。このとき、シフト冗長制御回路部3において、選択線c11に対応するヒューズf1からの信号が入力される位置の出力信号uoutは“L”レベルで出力信号loutは“L”になっている。さらに、このとき、シフト冗長ヒューズ回路4において、欠陥が存在する選択線c11に対応するヒューズ回路（切断したヒューズf1）の出力は“L”レベルになる。

【0075】同様にして、冗長選択用ヒューズ回路fj0、fj1のヒューズと、通常選択用のヒューズ回路f1、f61のヒューズを切断した場合、デコード信号線d0、d1は、冗長選択線c1j0、および選択線c10にそれぞれ接続され（左方向シフトSL）、デコード信号線d2～d60は、選択線c12～c160にそれぞれ接続され（シフトなしNS）、デコード信号線d61、d62およびd63は、それぞれ選択線c162、c163、および冗長選択線c1j1にそれぞれ接続される（右方向シフトSR）。このときの出力信号uout、loutは、図4の（c）の2ビットのシフト冗長による選択線の状態から明らかなように、出力信号uout=“L”で出力信号lout=“H”の状態を右方向シフトSRと判定すればよいことがわかる。さらに、このとき、シフト冗長ヒューズ回路4において、選択線

c10、c162およびc163にそれぞれ対応するヒューズ回路の出力は“H”レベルのままであるが、冗長選択線c1j0、c1j1にそれぞれ対応するヒューズ回路（切断した冗長選択用ヒューズfj0、c1j1）の出力は“L”レベルになる。

【0076】さらに、シフト冗長制御回路部3は、欠陥が存在する選択線c11、c161に対しては、いずれのデコード信号線も接続されない非選択状態になるように、スイッチ部1内の対応するスイッチ素子の切替制御を行う。このとき、シフト冗長制御回路部3において、選択線c11、c161にそれぞれ対応するヒューズf1、f61からの信号が入力される位置の出力信号uoutは“L”レベルで出力信号lout=“L”になっている。さらに、このとき、シフト冗長ヒューズ回路4において、欠陥が存在する選択線c11、c161にそれぞれ対応するヒューズ回路（切断したヒューズf1、f61）の出力は、いずれも“L”レベルになる。

【0077】要約すれば、本発明によれば、選択線同士のショート等が存在して2本以上の欠陥選択線が生じた場合に、一方の冗長選択線の方向、および他方の冗長選択線の方向にデコード信号線をシフトさせることにより、2ビットのシフト冗長を行って欠陥選択線を救済することが可能になる。また一方で、1本の欠陥選択線が生じた場合には、従来のシフト冗長方式と同じように、2本の冗長選択線のいずれか一方の方向にデコード信号線をシフトさせることにより、1ビットのシフト冗長を行って欠陥選択線を救済することも可能である。

【0078】さらに、本発明によれば、半導体チップ内で隣接する2つのセルアレイに対し通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させ、それぞれのセルアレイに対応するように冗長選択用ヒューズ回路を独立に設けることにより、隣接する2つのセルアレイの選択線の総数に対し2ビットまたは1ビットのシフト冗長を行うことが可能になるさらにまた、本発明によれば、複数の行ブロックにわたって配置されたカラム選択線に対しシフト冗長を行う場合に、シフト冗長の対象となる列選択線のアドレスに対し行ブロックのアドレスの論理を組み込むことによって、複数の行ブロックにわたって駆動されるカラム選択線が、それぞれの行ブロックに対応する行ブロックのアドレスの論理を受けることになり、行ブロック単位での冗長を行うことが可能になる。

【0079】かくして、本発明では、1ビットのシフト冗長、および2ビットのシフト冗長のいずれも行えるので、低消費電力および高速アクセスを実現すると共に、半導体チップ上の欠陥を効率良く救済することが可能になる。さらに、隣接する2つのセルアレイに対し通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させたり、行ブロックのアドレスの論理を組み込んで行ブロック単位での冗長を行ったりすることによって、

冗長の自由度を比較的大きくすることが可能になる。

【0080】

【発明の実施の形態】以下、添付図面（図5～図93）を参照しながら、本発明の好ましい実施の形態（以後、実施例とよぶこととする）を説明する。

【0081】図5は、本発明の第1の実施例における選択線駆動回路の構成を示す回路図である。この選択線駆動回路は、図1のスイッチ部2内の各々のスイッチ素子に対応する回路要素を含むものであり、選択線の負荷が大きくなった場合に当該選択線を駆動して所定の出力電圧を供給する機能も有する。

【0082】図5において、scuには、シフト冗長制御回路部の各々のシフト制御回路における出力信号uoutが入力され、sc1には、上記の各々のシフト制御回路における出力信号loutが入力される。cfsは、ヒューズ回路の出力信号を表し（図8にて後述するヒューズ回路の出力信号cfszと一対一に対応する）、pcl1、pclmおよびpclrは、それぞれ、デコード信号線d（#-1）、d#、およびd（#+1）からのデコード信号に相当する。clz000は任意の1本の選択線（例えば、カラム選択線）を示し、Vclzは、高電圧側の電源の電源電圧Vii（内部電圧）に等しい。Vssは低電圧側の電源の電源電圧、すなわち、アース電位を示す。

【0083】図5に示す選択線駆動回路は、ヒューズ回路の出力信号cfsをインバータ10により反転した信号、シフト制御回路の一方の出力信号uout、およびシフト制御回路の他方の出力信号loutを3つの入力信号とするNORゲート（否定論理和ゲート）11と、3つのインバータ12、14および16と、3つのトランスファゲート13、15および17からなる3方向性のスイッチ素子と、Pチャネル型トランジスタ18と、Pチャネル型トランジスタおよびNチャネル型トランジスタからなる出力ドライバ（もしくは、選択線駆動回路部）19とを備えている。

【0084】さらに詳しく説明すると、シフト制御回路の出力信号uoutおよびloutが共に“L”レベルで、ヒューズ回路の出力信号cfsが“H”レベルである場合、シフト冗長動作を行わないモードが選択されて第2番目のトランスファゲート15がオン状態になる。シフト制御回路の出力信号uoutおよびloutがそれぞれ“H”レベルおよび“L”レベルで、ヒューズ回路の出力信号cfsが“H”レベルである場合、一方の方向へのシフト冗長動作を行うモードが選択されて第1番目のトランスファゲート13がオン状態になる。シフト制御回路の出力信号uoutおよびloutがそれぞれ“L”レベルおよび“H”レベルで、ヒューズ回路の出力信号cfsが“H”レベルである場合、他方の方向へのシフト冗長動作を行うモードが選択されて第3番目のトランスファゲート17がオン状態になる。

【0085】ここでは、デコード信号  $p c l l$ 、 $p c l m$  および  $p c l r$  がそれぞれ転送されるデコード信号線  $d(\#-1)$ 、 $d\#$ 、および  $d(\#+1)$  から選択線  $c l z 000$  までのパスが、半導体チップのアクセス時間に影響するが、シフト冗長動作に関係した回路素子は一段のトランスファゲート13、15および17のみなので、高速アクセス性に優れていることがわかる。

【0086】また一方で、シフト制御回路の出力信号  $u o u t$  および  $l o u t$  が共に “L” レベルで、ヒューズ回路の出力信号  $c f s$  が “L” レベルである場合、3個のトランスファゲート13、15および17のいずれもオフ状態になる。このときに、Pチャネル型トランジスタ18がオン状態になって “H” レベルの電圧が出力ドライバ19に入力される。この出力ドライバ19はインバータの構成になっているので、同出力ドライバ19の出力電圧は “L” レベルになる。すなわち、この出力ドライバ19に接続された選択線が欠陥選択線である場合、この欠陥選択線を常に非選択状態にすることができる。

【0087】図6は、本発明の第1の実施例におけるシフト制御回路の構成を示す回路図である。図6のシフト制御回路は、図1のシフト冗長制御回路部3内の各々のシフト制御回路に対応するものである。

【0088】図6において、 $u o u t$  はシフト冗長制御回路部の各々のシフト制御回路における一方の出力信号を示し、 $l o u t$  は上記の各々のシフト制御回路における他方の出力信号を示す。 $c f s$  はヒューズ回路の出力信号を示し、図8にて後述するヒューズ回路の出力信号  $c f s z$  と一対一に対応している。上記のシフト制御回路は、各々のヒューズ回路の出力結果を受けて各々のスイッチ素子を制御する回路であり、NANDゲート30、32、およびインバータ31、33が図6のように接続された回路により構成されている。一方の入力信号  $u i n$  と一方の出力信号  $u o u t$ 、および、他方の入力信号  $l i n$  と他方の出力信号  $l o u t$  を接続することによって、図3に示したような複数のシフト制御回路の直列接続によるシフト冗長制御回路部が構成される。

【0089】図7は、本発明の第1の実施例におけるデコード回路の構成を示す回路図である。図7のデコード回路は、デコード信号  $p c l 000z \sim p c l 007z$  (すなわち、図2中の  $d\#$  に対応) を出力するデコード回路である。図中、 $c a a\#z$ 、 $c a b\#z$  および  $c a c\#z$  は選択アドレスのアリデコード信号 (すなわち、図1中のアドレス信号  $A d d$  に対応) を示す。

【0090】第1のアリデコード信号  $c a a 0 z \sim c a a 7 z$  は、Pチャネル型トランジスタおよびNチャネル型トランジスタからなるインバータ64～67およびインバータ50～53にそれぞれ供給される。Nチャネル型トランジスタ62のゲートに入力される第2のアリデコード信号  $c a b 0 z$  は、Pチャネル型トランジスタ6

8、70、72および74、ならびに54、56、58および60のゲートにそれぞれ供給される。Nチャネル型トランジスタ63のゲートに入力される第3のアリデコード信号は、Pチャネル型トランジスタ69、71、73および75、ならびに55、57、59および61のゲートにそれぞれ供給される。

【0091】図8は、本発明の第1の実施例における通常選択用のヒューズ回路の構成を示す回路図である。図8の通常選択用のヒューズ回路 (ただし、強制冗長時に冗長される選択線用のヒューズ回路は除く) は、図1のシフト冗長ヒューズ回路部4内の選択線  $c l 0$ 、 $c l 2 \sim c l 61$ 、および  $c l 63$  に使用されるヒューズ回路に対応するものである。

【0092】図8において、 $s t t x$  は、例えば、電源投入時、電源が立ち上がるまでは “H” レベルであり、電源が立ち上がった後は “L” レベルになる制御信号で、 $c f s z$  はヒューズ回路の出力信号である。図8に示すヒューズ回路は、制御信号  $s t t x$  が入力されるPチャネル型トランジスタ41およびNチャネル型トランジスタ42と、Nチャネル型トランジスタ44と、2つのインバータ43、45とを備えている。ヒューズ40が切断されていない場合、電源が立ち上がった後は、ヒューズ回路の出力信号  $c f s z$  は “H” レベルになる。ヒューズ40が切断されている場合、ヒューズ回路の出力信号  $c f s z$  は “L” レベルになる。

【0093】図9は、本発明の第1の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。図9の冗長選択用ヒューズ回路は、図1のシフト冗長ヒューズ回路部4内の冗長選択線  $c l j 0$ 、 $c l j 1$  に使用される冗長選択用ヒューズ回路に対応するものである。

【0094】図9において、 $f t p z$  は、強制冗長を行う際に “H” レベルになる制御信号である。図9に示す冗長選択用ヒューズ回路は、制御信号  $s t t x$  が入力されるPチャネル型トランジスタ41  $r$  およびNチャネル型トランジスタ43  $r$  と、制御信号  $f t p z$  が入力されるPチャネル型トランジスタ42  $r$  およびNチャネル型トランジスタ44  $r$  と、Nチャネル型トランジスタ45  $r$  と、インバータ46  $r$  とを備えている。ヒューズ40  $r$  が切断されておらず、かつ、強制冗長を行わない場合 (制御信号  $f t p z = “L”$ ) 場合、冗長選択用ヒューズ回路の出力信号  $c f s j z$  は “L” レベルになる。また一方で、ヒューズ40  $r$  を実際に切断した場合、冗長選択用ヒューズ回路の出力信号  $c f s j z$  は “H” レベルになる。

【0095】さらに、図9において、ヒューズ40  $r$  が切断されておらず、かつ、強制冗長を行った場合 (制御信号  $f t p z = “H”$ )、Pチャネル型トランジスタ42  $r$  がオフ状態になり、Nチャネル型トランジスタ44  $r$  がオン状態になってノード  $n 03$  が “L” レベルになる。この結果、冗長選択用ヒューズ回路の出力信号  $c f$

s j z は“H”レベルになる。この場合は、ヒューズ40 r が見かけ上切断された状態になり、後述の図10の強制冗長選択用ヒューズ回路と共に強制冗長を行うことによって、冗長選択線に不良がないか否かを確認することができる。

【0096】図8の通常選択用のヒューズ回路、および図9の冗長選択用ヒューズ回路のいずれにおいても、冗長の対象とする選択線に対応するヒューズ回路のヒューズと、冗長選択線に対応する冗長選択用ヒューズ回路のヒューズとを切断している。

【0097】図10は、本発明の第1の実施例における強制冗長選択用ヒューズ回路の構成を示す回路図である。本回路は、図1のシフト冗長ヒューズ回路部4内の強制冗長選択線c l 1、c l 6 2に使用される強制冗長用ヒューズ回路に対応するものである。

【0098】図10において、f t p z は、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図10に示す強制冗長用ヒューズ回路は、制御信号s t t x が入力されるPチャネル型トランジスタ41 f およびNチャネル型トランジスタ43 f と、制御信号f t p z が入力されるPチャネル型トランジスタ42 f およびNチャネル型トランジスタ44 f と、Nチャネル型トランジスタ45 f と、2つのインバータ46 f、47 f とを備えている。強制冗長時のヒューズ40 f を切断したように見せかけた場合、強制冗長ヒューズ回路の出力信号c f s j z は“L”レベルになる。この状態で、シフト冗長の対象とする選択線に対応するヒューズを切断する前に、冗長選択線に不良がないか否かを確認することが可能である。

【0099】さらに詳しく説明すると、強制冗長を行う場合には、Pチャネル型トランジスタ42 f およびNチャネル型トランジスタ44 f の各々のゲートに対し、“H”レベルの制御信号f t p z を入力する。このようにすれば、Pチャネル型トランジスタ42 f がオフ状態になり、Nチャネル型トランジスタ44 f がオン状態になってインバータ46 f の入力レベルが“L”レベルになる。この結果、インバータ47 f の出力レベルが“L”レベルになり、“L”レベルの出力信号c f s j z が生成されることになる。

【0100】また一方で、強制冗長を行わない場合には（制御信号f t p z = “L”）、Pチャネル型トランジスタ42 f がオン状態になり、Nチャネル型トランジスタ44 f がオフ状態になってインバータ46 f の入力レベルが“H”レベルになる。この結果、インバータ47 f の出力レベルが“H”レベルになり、“H”レベルの出力信号c f s j z が生成されることになる。さらに、ヒューズ40 f を実際に切断した場合、Nチャネル型トランジスタ45 f がオフ状態になってインバータ46 f の入力レベルが“L”レベルになる。この結果、インバータ47 f の出力レベルが“L”レベルになり、“L”

レベルの出力信号c f s j z が生成されることになる。

【0101】図11～図16は、それぞれ、本発明の第1の実施例における各回路間のつながりを示す回路図のその1～その6を示すものである。ここでは、前述の図5の選択線駆動回路、図6のシフト制御回路、図8の通常選択用のヒューズ回路、図9の冗長選択用ヒューズ回路、および図10の強制冗長選択用ヒューズ回路からなる複数の子回路を互いに結線することによって、64本の選択線c l z ( 1 ) ～c l z ( 64 )、および2本の冗長選択線c l j z ( 0 )、c l j z ( 1 ) を配置してなる半導体記憶装置（親回路）を形成した場合を例示している。

【0102】図11および図12は、このような親回路の左端部を示し、図13および図12は上記親回路の中央部を示し、図15および図16は、上記親回路の右端部を示している。図11～図16においては、強制冗長選択用ヒューズ回路を含む複数のヒューズ回路（例えば、第1のヒューズ回路60-1～第64のヒューズ回路60-64）が、複数のシフト制御回路（例えば、第1のシフト制御回路70-1～第64のシフト制御回路70-64）にそれぞれ接続されている。さらに、これらの複数のシフト制御回路が、複数の選択線駆動回路（例えば、第1の選択線駆動回路80-1～第64の選択線駆動回路80-64）に接続されている。さらに、図7に示したデコーダ回路のデコード信号線は、複数の選択線駆動回路に接続されており、上記デコーダ回路から出力されるデコード信号p c l 000 z ～p c l 063 z は、上記複数の選択線駆動回路にそれぞれ入力される（各々の選択線駆動回路にて、デコード信号p c l m に入力される）。なお、前述したように、複数の選択線駆動回路の各々は、スイッチ部2（図1参照）内の各々のスイッチ素子に対応する回路要素を含むものである。

【0103】さらに、図11において、左端に位置する冗長選択用ヒューズ回路60 r 1 が、冗長選択用シフト制御回路70 r 1 に接続されており、この冗長選択用シフト制御回路70 r 1 は、冗長選択線駆動回路80 r 1 に接続されている。また一方で、図16において、右端に位置する冗長選択用ヒューズ回路60 r 2 が、冗長選択用シフト制御回路70 r 2 に接続されており、この冗長選択用シフト制御回路70 r 2 は、冗長選択線駆動回路80 r 2 に接続されている。

【0104】さらに、図11～図16より、強制冗長方式を実行する際に、強制冗長の対象となる強制冗長選択線は、c l z ( 1 ) とc l z ( 62 ) であることがわかる。シフト冗長を行う場合、まず冗長選択線に不良がないか否かを試験する必要がある。このときに、強制冗長方式を実行することによって、ヒューズを切断せずに電氣的に冗長選択線を選択することが可能であるが、このような強制冗長方式では、冗長選択線に対してディスタープ試験を行う場合、すなわち、隣の選択線を繰り返し

選択したときの影響を試験する場合がある。この場合には、冗長選択線に隣接した選択線を強制冗長の対象にしてしまうと、上記のような試験ができないため、それ以外の選択線を強制冗長の対象にする必要がある。

【0105】それゆえに、本発明の第1の実施例では、冗長選択線から一つ隣の選択線  $c1z(1)$  および  $c1z(62)$  を強制冗長の対象としている。当然のことながら、他の選択線  $c1z(2) \sim c1z(61)$  も可能な対象であるが、図10に示した強制冗長選択用ヒューズ回路は、通常選択線用のヒューズ回路(図8参照)と異なるため、同じくヒューズ回路の構成が若干異なる冗長選択線に近い場所に配置したほうが、回路レイアウト上都合が良い。

【0106】好ましくは、本発明の第1の実施例では、半導体チップのメモリセルの周期性が変わらないように(すなわち、メモリセルのトポロジが変わらないように)するために、1本の選択線により選択されるメモリセルブロックの周期性をメモリセルの周期性に一致させるようにしている。

【0107】図17は、本発明の第1の実施例におけるシフト制御回路の回路レイアウトを示す図であり、図18は、本発明の第1の実施例におけるヒューズ回路の回路レイアウトを示す図である。図17および図18は、本発明の第1の実施例のシフト制御回路およびヒューズ回路の回路パターンを半導体チップ上に形成した場合の概略的な回路パターンの一部を拡大したものである。

【0108】図17および図18の回路パターンにおいては、1層目のNチャネル型トランジスタ用ポリシリコンパターン(ここでは、 $n\text{-CH}$ 用ポリシリコンパターンと略記する)200と、1層目のPチャネル型トランジスタ用ポリシリコンパターン(ここでは、 $p\text{-CH}$ 用ポリシリコンパターンと略記する)210と、2層目のポリシリコンパターン220と、アルミニウム(A1)等からなる1層目のメタル配線パターン300と、同じくアルミニウム等からなる2層目のメタル配線パターン310とが形成される。1層目の $n\text{-CH}$ 用ポリシリコンパターンを使用してNチャネル型トランジスタ( $n\text{-CH}$ トランジスタ)230が形成され、2層目の $p\text{-CH}$ 用ポリシリコンパターンを使用してPチャネル型トランジスタ( $p\text{-CH}$ トランジスタ)240が形成される。また一方で、異なる層のパターンの接続は、多数のスルーホール245を介して行われる。

【0109】さらに、図18において、複数のカラム選択線を構成するカラム選択線パターンと複数のヒューズ400は、同一ピッチで描かれており、かつ、ヒューズとカラム選択線パターンは一对一に対応しているため、シフト冗長の処理がなされている選択線が一目でわかるようになっている。また一方で、シフト制御回路は、ヒューズを切断することによって一度電氣的に状態が決まれば、その状態(直流レベル)を保持する機能を有して

いるのみなので、信号処理の高速化は全く要求されない。したがって、図17および図18の回路パターンでは、2層目のメタル配線パターン310のような抵抗の低いメタル配線を、シフト冗長処理用の制御信号の転送に使用する必要がなくなる。それゆえに、2層目のメタル配線パターン310の下領域に、シフト冗長処理に使用される他の配線パターンを効率良く配置することができるようになり、半導体チップ上の回路の占有面積の節減が図れる。

【0110】図19は、本発明の第2の実施例における選択線駆動回路の構成を示す回路図である。この選択線駆動回路は、図1のスイッチ部2内の各々のスイッチ素子に対応する回路要素を含むものであり、選択線の負荷が大きくなった場合に当該選択線を駆動して所定の出力電圧を供給する機能も有する。

【0111】図19において、 $scu$ 、 $scl$ には、シフト冗長制御回路部の各々のシフト制御回路(図20にて後述する)における出力信号 $uout$ 、 $lout$ を反転したレベルの出力信号が入力される。 $cf sx$ はヒューズ回路の出力信号を表し、 $pmwll$ 、 $pmwlm$ および $pmwlr$ は、それぞれ、デコード信号線 $d(\#-1)$ 、 $d\#$ 、および $d(\#+1)$ からのデコード信号に相当する。 $mw100x$ は任意の1本の選択線(例えば、メインワード選択線)を示し、前述の第1の実施例の場合とは逆に、“L”レベルにて選択状態になる。図19の $Vpp$ は、内部電源の電源電圧の一つ(すなわち、選択線の“H”レベル)を表し、 $Vnw1$ は選択線の“L”レベル用の電源の電源電圧を表す。一般に、電源電圧 $Vpp$ は、正の電圧レベルになっており、電源電圧 $Vnw1$ は、負の電圧レベルになっている。

【0112】さらに、図19において、 $bwdx$ は選択信号の一部であり、動作時には“L”レベルの信号パルスが印加される。 $bkez$ も選択信号の一部であり、動作時には“H”レベルの信号パルスが印加され、デコード信号のデコード結果をサンプリングするために使用される。 $wbiz$ は、試験時に選択線を無条件に全て選択するための制御信号であり、通常“L”レベルになっている。 $wlr sx$ は選択線のリセット信号であり、選択された選択線を非選択状態にする場合に“H”レベルになる。

【0113】図19に示す選択線駆動回路は、シフト制御回路の出力信号 $scu$ 、 $scl$ 、およびヒューズ回路の出力信号 $cf sx$ がそれぞれ入力される3つのPチャネル型トランジスタ10a、12aおよび11aと、3つのNチャネル型トランジスタ13a~15aとを備えている。これらのPチャネル型トランジスタ10a、12aおよび11aと、Nチャネル型トランジスタ13a~15aは、3入力のNORゲートを構成する。さらに、図19の選択線駆動回路は、3つのデコード信号 $pmwll$ 、 $pmwlm$ および $pmwlr$ がそれぞれソー

ス(またはドレイン)に入力される3つのNチャネル型トランジスタ17a、16bおよび16aを備えている。これらのNチャネル型トランジスタ17a、16bおよび16aからなるトランスファゲートは、3方向性のスイッチ素子として機能する。

【0114】さらに、図19の選択線駆動回路において、選択信号bkezは、Nチャネル型トランジスタ18aのゲートに供給され、選択線のリセット信号wlrssは、Pチャネル型トランジスタ19aおよびNチャネル型トランジスタ22aのゲートに供給される。さらに、上記NORゲートからの出力信号は、Nチャネル型トランジスタ16bのゲートに入力される。さらに、Nチャネル型トランジスタ16bのドレインは、Nチャネル型トランジスタ18aのソースに接続される。さらに、Nチャネル型トランジスタ18aのドレインは、Pチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aの各々のゲートに接続される。上記のPチャネル型トランジスタ19aと、Pチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aと、Nチャネル型トランジスタ22aとは、選択信号bkezおよびリセット信号wlrssを入力信号とする2入力のNORゲートを構成する。

【0115】さらに、図19の選択線駆動回路において、上記のPチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aの各々のドレイン(ノードn02)は、Pチャネル型トランジスタ23aおよびNチャネル型トランジスタ24aの各々のゲートに接続される。これらのPチャネル型トランジスタ23aおよびNチャネル型トランジスタ24aは一つのインバータを構成し、このインバータから任意の1本の選択線mw100xへ、“L”レベルまたは“H”レベルの信号が供給される。

【0116】さらに、図19の選択線駆動回路において、制御信号wbizは、Pチャネル型トランジスタ25aのゲートと、Nチャネル型トランジスタ27aのゲートに入力される。さらに、上記のPチャネル型トランジスタ20aおよびNチャネル型トランジスタ21aの各々のドレイン(ノードn02)は、Pチャネル型トランジスタ26aのゲートと、Nチャネル型トランジスタ28aのゲートに接続される。また一方で、選択信号bwdxは、Nチャネル型トランジスタ27aのソースと、Nチャネル型トランジスタ28aのソースに入力される。上記のPチャネル型トランジスタ25aと、Pチャネル型トランジスタ26aおよびNチャネル型トランジスタ28aと、Nチャネル型トランジスタ27aとは、制御信号wbizおよび選択信号bwdxを入力信号とする2入力のNORゲートを構成する。

【0117】図19の選択線駆動回路においても、前述の第1の実施例の選択線駆動回路(図5)の場合と同じように、シフト制御回路の出力信号scuおよびsc1

がそれぞれ“H”レベルおよび“L”レベルで、ヒューズ回路の出力信号cfssxが“L”レベルである場合、一方の方向へのシフト冗長動作を行うモードが選択される。これに対し、シフト制御回路の出力信号scuおよびsc1がそれぞれ“L”レベルおよび“H”レベルで、ヒューズ回路の出力信号cfssxが“L”レベルである場合、他方の方向へのシフト冗長動作を行うモードが選択される。

【0118】図20は、本発明の第2の実施例における通常選択用のシフト制御回路の構成を示す回路図、図21は、本発明の第2の実施例における左端用冗長シフト制御回路の構成を示す回路図、そして、図22は、本発明の第2の実施例における右端用冗長シフト制御回路の構成を示す回路図である。換言すれば、図20は通常選択用のシフト制御回路、図21は左端に位置する冗長選択用シフト制御回路、図22は、右端に位置する冗長選択用シフト制御回路を示すものである。

【0119】図20～図22においても、cfssxはヒューズ回路の出力信号を示す。上記のシフト制御回路は、前述の第1の実施例(図6)の場合とほぼ同じ機能を有する。シフト制御回路の入力信号linは左隣の出力信号loutと接続し、シフト制御回路の他の入力信号uinは右隣の出力信号uoutと接続し、左端の入力信号linおよび右端の入力信号uinには、“L”(電圧Vnw1)レベルが入力される。ただし、ここでは、各々のシフト制御回路は、前述の第1の実施例(図6)の場合と異なり、NORゲートとインバータにより構成されている。

【0120】より詳しくいえば、図20の通常選択用のシフト制御回路の入力信号linの側に設けられたNORゲートは、2つのPチャネル型トランジスタ30a、31aと、2つのNチャネル型トランジスタ32a、33aにより構成される。さらに、出力信号loutの側に設けられたインバータ34aは、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。また一方で、図20のシフト制御回路の入力信号uinの側に設けられたNORゲートは、2つのPチャネル型トランジスタ38a、39aと、2つのNチャネル型トランジスタ36a、37aにより構成される。さらに、出力信号uoutの側に設けられたインバータ35aは、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。

【0121】入力信号uinの側に設けられたNORゲート内のNチャネル型トランジスタ36aのドレインから出力される出力信号scuは、図19の選択線駆動回路の他方の入力信号として使用される。また一方で、入力信号linの側に設けられたNORゲート内のNチャネル型トランジスタ33aのドレインから出力される出力信号sc1は、図19の選択線駆動回路の一方の入力信号として使用される。これらの出力信号scu、sc

1は、前述の第1の実施例の場合（出力信号 $u_{out}$ 、 $l_{out}$ によりスイッチ素子の動作を制御する）と異なり、図19のNチャネル型トランジスタ17a、16bおよび16aからなる3方向性のスイッチ素子の動作を制御するために使用される。

【0122】図21の左端の冗長選択用シフト制御回路の構成は、図20の通常選択用のシフト制御回路の構成とほぼ同じであるが、出力信号 $u_{out}$ を転送するためのインバータが設けられていない点異なる。

【0123】より詳しくいえば、図21の左端の冗長選択用シフト制御回路の入力信号 $l_{in}$ の側に設けられたNORゲートは、2つのPチャネル型トランジスタ70a、71aと、2つのNチャネル型トランジスタ72a、73aにより構成される。さらに、出力信号 $l_{out}$ の側に設けられたインバータ74aは、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。また一方で、図21の冗長選択用シフト制御回路の入力信号 $u_{in}$ の側に設けられたNORゲートは、2つのPチャネル型トランジスタ77a、78aと、2つのNチャネル型トランジスタ75a、76aにより構成される。

【0124】図22の右端の冗長選択用シフト制御回路の構成は、図20の通常選択用のシフト制御回路の構成とほぼ同じであるが、出力信号 $l_{out}$ を転送するためのインバータが設けられていない点異なる。

【0125】より詳しくいえば、図22の左端の冗長選択用シフト制御回路の入力信号 $l_{in}$ の側に設けられたNORゲートは、2つのPチャネル型トランジスタ80a、81aと、2つのNチャネル型トランジスタ82a、83aにより構成される。また一方で、図22の冗長選択用シフト制御回路の入力信号 $u_{in}$ の側に設けられたNORゲートは、2つのPチャネル型トランジスタ85a、86aと、2つのNチャネル型トランジスタ84a、87aにより構成される。さらに、出力信号 $u_{out}$ の側に設けられたインバータ88aは、Pチャネル型トランジスタおよびNチャネル型トランジスタにより構成される。

【0126】図23は、本発明の第2の実施例における通常選択用のヒューズ回路の構成を示す回路図、図24は、本発明の第2の実施例における冗長選択用ヒューズ回路の構成を示す回路図、そして、図25は、本発明の第2の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【0127】図23においては、ヒューズ回路の出力信号 $cfsx$ がシフト制御回路のNORゲートに入力されているため、ヒューズが切断されていない場合、通常選択用のヒューズ回路は、前述の第1の実施例（図8）の場合と異なり、“L”レベルの信号を出力する。また一方で、ヒューズが切断されている場合、“H”レベルの信号を出力する。

【0128】図24においては、冗長選択用ヒューズ回路は、ヒューズが切断されておらず、かつ、強制冗長を行わない場合、“H”レベルの信号を出力する。さらに、ヒューズが切断されている場合、“L”レベルの信号を出力する。また一方で、強制冗長を行った場合、冗長選択用ヒューズが見かけ上切断された状態になり、“L”レベルの信号を出力する。

【0129】図25においては、強制冗長用ヒューズ回路は、ヒューズが切断されておらず、かつ、強制冗長を行わない場合、“L”レベルの信号を出力する。さらに、強制冗長を行った場合、強制冗長用ヒューズが見かけ上切断された状態になり、“H”レベルの信号を出力する。また一方で、強制冗長用ヒューズを実際に切断した場合、“H”レベルの信号を出力する。

【0130】図23～図25において、 $sttxb$ 、 $ftpz$ は、その電圧レベルが異なるのみで、前述の第1の実施例（図8）の $sttx$ 、 $ftpz$ とほぼ同じ機能を有する。

【0131】より詳しくいえば、図23に示す通常選択用のヒューズ回路は、制御信号 $sttxb$ がゲートに入力されるPチャネル型トランジスタ41aおよびNチャネル型トランジスタ42aと、2つのNチャネル型トランジスタ43a、45aと、Pチャネル型トランジスタ44aとを備えている。ヒューズ40aが切断されていない場合、電源が立ち上がった後は、ヒューズ回路の出力信号 $cfsx$ は“L”レベルになる。ヒューズ40aが切断されている場合、ヒューズ回路の出力信号 $cfsx$ は“H”レベルになる。

【0132】図24に示す冗長選択用ヒューズ回路は、制御信号 $sttxb$ がゲートに入力されるPチャネル型トランジスタ51rおよびNチャネル型トランジスタ54rと、制御信号 $ftpz$ がゲートに入力されるPチャネル型トランジスタ52rおよびNチャネル型トランジスタ53rと、2つのNチャネル型トランジスタ55r、57rと、Pチャネル型トランジスタ56rと、インバータ58rとを備えている。ヒューズ50rが切断されておらず、かつ、強制冗長を行わない場合、Nチャネル型トランジスタ55rがオン状態になってヒューズ回路の出力信号 $cfsx$ は“H”レベルになる。ヒューズ40rが切断されている場合、Nチャネル型トランジスタ55rがオフ状態になってヒューズ回路の出力信号 $cfsx$ は“L”レベルになる。また一方で、強制冗長を行った場合、すなわち、制御信号 $ftpz$ が“H”レベルになっている場合、Nチャネル型トランジスタ53rがオン状態になってヒューズ回路の出力信号 $cfsx$ は“L”レベルになる。

【0133】図25に示す強制冗長用ヒューズ回路は、制御信号 $sttxb$ がゲートに入力されるPチャネル型トランジスタ51fおよびNチャネル型トランジスタ54fと、制御信号 $ftpz$ がゲートに入力されるPチ

チャンネル型トランジスタ52fおよびNチャンネル型トランジスタ53fと、Nチャンネル型トランジスタ55fと、インバータ56fとを備えている。ヒューズ50fが切断されておらず、かつ、強制冗長を行わない場合、Pチャンネル型トランジスタ52fがオン状態になってNチャンネル型トランジスタ55fがオフ状態になり、ヒューズ回路の出力信号cfsxは“L”レベルになる。さらに、強制冗長を行った場合、すなわち、制御信号ftpzが“H”レベルになっている場合、Nチャンネル型トランジスタ53fがオン状態になってヒューズ回路の出力信号cfsxは“H”レベルになる。この状態で、シフト冗長の対象とする選択線に対応するヒューズを切断する前に、冗長選択線に不良がないか否かを確認することが可能である。また一方で、ヒューズを50fを実際に切断した場合、Nチャンネル型トランジスタ55fがオン状態になってヒューズ回路の出力信号cfsxは“H”レベルになる。

【0134】図26は、本発明の第2の実施例におけるデコーダ回路の構成を示す回路図である。図26のデコーダ回路は、デコード信号d#（すなわち、デコード信号pmw1x）を出力するデコーダ回路である。

【0135】図中、raa00zおよびrab00zは、アドレスを表すプリデコード信号を示す。第1のプリデコード信号raa00zは、Nチャンネル型トランジスタ90aのゲートに供給される。第2のプリデコード信号rab00zは、Nチャンネル型トランジスタ91aのゲートに供給される。

【0136】図27は、図19の選択線駆動回路の動作を説明するためのタイミングチャートである。

【0137】図27に示すように、第1のプリデコード信号raa00zおよび第2のプリデコード信号rab00zのいずれも“H”レベル、つまり、アドレスで選択されるデコード信号pmw1xのみが“L”レベルになり、かつ、選択線のリセット信号wlr sxが“L”レベルであって、選択信号bkexが“H”レベルである場合を想定する。ここで、第1のプリデコード信号raa00zおよび第2のプリデコード信号rab00zのいずれも“H”レベル、つまり、アドレスで選択されるデコード信号pmw1xのみが“L”レベルになったときには、デコード信号pmw1xの信号線に接続された選択線駆動回路（図19参照）のノードn01の電圧レベルのみが“L”レベルになる。この状態では、選択線mw100xが選択されて“L”レベルの信号が出力される。

【0138】また一方で、選択線のリセット信号wlr sxが“H”レベルになったときに、選択線mw100xが非選択状態になって“H”レベルの信号が出力される。なお、この場合、制御信号wbizおよび選択信号bwd xは、いずれも“L”レベルになっている。

【0139】図28～図33は、それぞれ、本発明の第

2の実施例における各回路間のつながりを示す回路図のその1～その6を示すものである。ここでは、前述の図19の選択線駆動回路、図20～図22のシフト制御回路、図23～図25のヒューズ回路、および図26のデコーダ回路からなる複数の子回路を互いに結線することによって、64本の選択線mw1(0)～mw1(63)（例えば、メインワード選択線）、および2本の冗長選択線mw1jz(0)、mw1jz(1)を配置してなる半導体記憶装置（親回路）を形成した場合を例示している。

【0140】図28および図29は、このような親回路の左端部を図示し、図30および図31は上記親回路の中央部を示し、図32および図33は、上記親回路の右端部を示している。図28～図33においては、複数のデコーダ回路（例えば、第1のデコーダ回路52-1～第64のデコーダ回路52-64）が、複数の選択線駆動回路（例えば、第1の選択線駆動回路82-1～第64の選択線駆動回路82-64）にそれぞれ接続されており、複数のデコーダ回路の各々から出力されるデコード信号pmw1xは、複数の選択線駆動回路の各々に入力される。

【0141】さらに、複数のヒューズ回路（例えば、第1のヒューズ回路62-1～第64のヒューズ回路62-64）が、複数のシフト制御回路（例えば、第1のシフト制御回路72-1～第64のシフト制御回路72-64）にそれぞれ接続されている。さらに、これらの複数のシフト制御回路が、複数の選択線駆動回路にそれぞれ接続されている。

【0142】さらに、図28において、左端に位置する冗長選択用ヒューズ回路62r1が、冗長選択用シフト制御回路72r1に接続されており、この冗長選択用シフト制御回路72r1は、冗長選択線駆動回路82r1に接続されている。また一方で、図33において、右端に位置する冗長選択用ヒューズ回路62r2が、冗長選択用シフト制御回路72r2に接続されており、この冗長選択用シフト制御回路72r2は、冗長選択線駆動回路82r2に接続されている。

【0143】さらに、図28～図33より、強制冗長方式を実行する際に、強制冗長の対象となる強制冗長選択線は、mw1(1)とmw1(62)であることがわかる。シフト冗長を行う場合、まず冗長選択線に不良がないか否かを試験する必要がある。このときに、強制冗長方式を実行することによって、ヒューズを切断せずに電氣的に冗長選択線を選択することが可能であるが、このような強制冗長方式では、冗長選択線に対してディスタブ試験を行う場合、すなわち、隣の選択線を繰り返し選択したときの影響を試験する場合がある。この場合には、冗長選択線に隣接した選択線を強制冗長の対象にしまうと、上記のような試験ができないため、それ以外の選択線を強制冗長の対象にする必要がある。



ーズを切らないで確認するための機能を有する。

【0155】さらに詳しく説明すると、上記の第3の実施例では、それぞれヒューズを有する10個のヒューズ回路500-3～500-7、および500-9～500-13と、2個の冗長選択用ヒューズ回路500-1、500-14と、2個の強制冗長用ヒューズ回路500-2、500-8とを設けている。さらに、一方の冗長選択用ヒューズ回路500-1から出力される信号jfs0x、一方の強制冗長用ヒューズ回路500-2から出力される信号fs00x、およびヒューズ回路500-3～500-7から出力される信号fs01x～fs05xをもとに、相補形式のヒューズ信号cfa00x/cfa00z、cfa01x/cfa01z、cfb00x/cfb00z、cfb01x/cfb01z、cfc00x/cfc00z、およびcfc01x/cfc01zを生成するヒューズ信号生成回路510-1～510-6を設けている。

【0156】さらに、上記の第3の実施例では、ヒューズ信号生成回路510-1～510-6の出力側に、ヒューズプリデコード回路520-1～520-12を設けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、12種のヒューズプリデコード信号faa00x～faa03x、fab00x～fab03x、およびfac00x～fac03xを出力するものである。

【0157】さらに、上記の第3の実施例では、他方の強制冗長用ヒューズ回路500-8から出力される信号fs15x、ヒューズ回路500-9～500-13から出力される信号fs10x～fs14x、および他方の冗長選択用ヒューズ回路500-14から出力される信号jfs1xをもとに、相補形式のヒューズ信号cfa10x/cfa10z、cfa11x/cfa11z、cfb10x/cfb10z、cfb11x/cfb11z、cfc10x/cfc10z、およびcfc11x/cfc11zを生成するヒューズ信号生成回路510-7～510-12を設けている。

【0158】さらに、上記の第3の実施例では、ヒューズ信号生成回路510-7～510-12の出力側に、ヒューズプリデコード回路520-13～520-24を設けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、別の12種のヒューズプリデコード信号faa10x～faa13x、fab10x～fab13x、およびfac10x～fac13xを出力するものである。

【0159】さらに、上記の第3の実施例では、第1のグループのヒューズプリデコード回路520-1～520-12から出力される12種のヒューズプリデコード信号と、第2のグループのヒューズプリデコード回路5

20-13～520-24から出力される12種のヒューズプリデコード信号とを組み合わせることにより、選択線の総数に対応する64通りのヒューズデコード信号fa00x～fa63xを生成するヒューズデコード回路530-1～530-m(mは2以上の任意の正の整数、ここでは、m=64)を設けている。これらのヒューズデコード回路により生成されたヒューズデコード信号fa00x～fa63xは、前述の第1および第2の実施例とほぼ同じ構成のシフト制御回路540-2～540-m+1に入力され、必要に応じてシフト冗長が行われる。なお、冗長選択用ヒューズ回路500-1、500-14の出力信号faj0x、faj1xは、それぞれ、冗長選択用のシフト制御回路540-1、540-m+2にそのまま入力される。

【0160】図40は、本発明の第3の実施例における冗長選択用ヒューズ回路の構成を示す回路図、図41は、本発明の第3の実施例における強制冗長用ヒューズ回路の構成を示す回路図、そして、図42は、本発明の第3の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【0161】図40～図42に示す冗長選択用ヒューズ回路、強制冗長用ヒューズ回路、および通常選択用のヒューズ回路の構成は、前述の第1の実施例の構成(図8～図10)とほぼ同じである。

【0162】図40において、sttxは、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号である。ftpzは、強制冗長を行う際に“H”レベルになる制御信号である。図40に示す冗長選択用ヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ401rおよびNチャネル型トランジスタ403rと、制御信号ftpzが入力されるPチャネル型トランジスタ402rおよびNチャネル型トランジスタ404rと、Nチャネル型トランジスタ405rと、2つのインバータ406r、407rとを備えている。強制冗長処理を行わない場合、ヒューズ回路の出力信号jfsx(図37および図39の出力信号jfs0x、jfs1xに対応する)は“H”レベルになる。強制冗長処理を行った場合(すなわち、ヒューズ400rを切断したように見せかけた場合)、冗長選択用ヒューズ回路の出力信号jfsxは“L”レベルになる。ただし、シフト制御回路に対しては、強制冗長処理を行わない場合に“L”レベルの出力信号fajx(図37および図39の出力信号faj0x、faj1xに対応する)が供給される。

【0163】図41において、ftpzは、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図41に示す強制冗長用ヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ401fおよびNチャネル型トランジスタ403fと、制

御信号  $f_{tpz}$  が入力される P チャンネル型トランジスタ 402f および N チャンネル型トランジスタ 404f と、N チャンネル型トランジスタ 405f と、2 つのインバータ 406f、407f とを備えている。ここでは、ヒューズ 400f を強制冗長の対象とし、このヒューズ 400f を切断したように見せかけた場合、強制冗長用ヒューズ回路の出力信号  $f_{sx}$  (図 37 および図 38 の出力信号  $f_{s00x}$ 、 $f_{s15x}$  に対応する) は “L” レベルになる。この状態で、冗長選択線に不良がないか否かを確認することが可能である。

【0164】図 42 に示すヒューズ回路は、制御信号  $s_{ttx}$  が入力される P チャンネル型トランジスタ 41b および N チャンネル型トランジスタ 42b と、N チャンネル型トランジスタ 43b と、2 つのインバータ 44b、45b とを備えている。電源が立ち上がって制御信号  $s_{ttx}$  が “L” レベルになった場合、ヒューズ 40b が切断されていないときは、N チャンネル型トランジスタ 43b がオフ状態になってヒューズ回路の出力信号  $f_{sx}$  ( $f_{s\#x}$ ) は “H” レベルになる。ヒューズ 40b を切断したときは、N チャンネル型トランジスタ 43b がオン状態になってヒューズ回路の出力信号  $f_{sx}$  は “L” レベルになる。

【0165】図 43 は、本発明の第 3 の実施例におけるヒューズ信号生成回路の構成を示す回路図である。図 43 に示すヒューズ信号生成回路は、インバータ 512 と、2 つの NOR ゲート 511、513 により構成される。このヒューズ信号生成回路においては、通常選択用のヒューズ回路の出力信号  $f_{s\#x}$  と、冗長選択用ヒューズ回路の出力信号  $j_{fsx}$  に基づき、相補形式のヒューズ信号  $c_{fa\#x}/c_{fa\#z}$  が生成される。

【0166】図 44 は、本発明の第 3 の実施例におけるヒューズプリデコード回路の構成を示す回路図である。図 44 に示すヒューズプリデコード回路は、NAND ゲート 521 により構成される。この NAND ゲート 521 では、それぞれ異なるヒューズ信号生成回路により生成された 2 つのヒューズ信号 (例えば、ヒューズ信号  $c_{fa00x}$ 、 $c_{fa01x}$ ) を入力することにより、複数種のヒューズプリデコード信号 ( $f_{aa\#x}$ 、 $f_{ab\#x}$  または  $f_{ac\#x}$ ) を生成するようにしている。

【0167】図 45 は、本発明の第 3 の実施例におけるヒューズデコード回路の構成を示す回路図である。図 45 に示すヒューズデコード回路は、3 つの NOR ゲート 531、532 および 533 により構成される。このヒューズデコード回路では、異なるヒューズプリデコード回路により生成されたヒューズプリデコード信号を適当に組み合わせることにより、アドレスを指定するためのヒューズデコード信号 (例えば、 $f_{a\#x}$ ) を生成するようにしている。

【0168】上記の第 3 の実施例によれば、半導体記憶装置の複数の選択線に対してシフト冗長を行う場合に必

要なヒューズの数的大幅に節減することができるようになり、半導体チップの面積の節減が図れる。

【0169】図 46 は、選択線に欠陥がない場合における図 42 のヒューズ回路のシミュレーション動作を示す電圧波形図、図 47 は、選択線に欠陥がない場合における図 44 のヒューズプリデコード回路のシミュレーション動作を示す電圧波形図、図 48 は、2 シフト冗長 (2 ビットのシフト冗長動作) を実行した場合における図 42 のヒューズ回路のシミュレーション動作を示す電圧波形図、そして、図 49 は、2 シフト冗長を実行した場合における図 44 のヒューズプリデコード回路のシミュレーション動作を示す電圧波形図である。

【0170】図 46 に示すように、複数の選択線に欠陥が存在しない場合 (デフォルトの状態になっている場合)、全ての通常選択用のヒューズ回路の出力信号  $f_{s00x} \sim f_{s15x}$  が “H” レベルになると共に、両端に位置する冗長選択用ヒューズ回路の出力信号が “H” レベルになって、全ての出力信号が “H” レベルになる。

【0171】図 46 から明らかなように、複数の選択線に欠陥が存在しない場合、全ての選択線が選択される状態になる。この場合の出力信号  $f_{s00x} \sim f_{s15x}$  は、2 つの冗長選択用ヒューズ回路の出力信号  $j_{fs0x}$ 、 $j_{fs1x}$  と共に、“H” レベルになっている。また一方で、図 47 から明らかなように、ヒューズプリデコード回路の出力信号  $f_{a18x}$ 、 $f_{a19x}$ 、… および  $f_{s43x}$  は、全て “H” レベルになっている。また、複数の選択線に欠陥が存在しない場合、図 47 から明らかなように、2 つの冗長選択用ヒューズ回路からそれぞれ出力される冗長選択用の信号  $f_{aj0x}$ 、 $f_{aj1x}$  は、“L” レベルになっている。

【0172】また一方で、2 本以上の選択線に欠陥が発生した場合、図 48 に示すように、これらの欠陥が発生したアドレスに対応するヒューズ回路の出力信号が、確実に “L” レベルになることがわかる。さらに、図 49 に示すように、ヒューズプリデコード回路の出力信号  $f_{a18x}$ 、 $f_{a19x}$ 、… および  $f_{s43x}$  の中で、上記欠陥が発生したアドレスに対応する出力信号が、確実に “L” レベルになることがわかる。

【0173】ついで、本発明のシフト冗長方式を半導体チップに適用した場合に、前述の第 1 ～ 第 3 の実施例よりも冗長の自由度を大きくするための具体的な手法、およびこのような手法を用いて構成される第 4 ～ 第 6 の実施例について説明する。

【0174】図 50 は、本発明のシフト冗長方式の半導体装置が適用される半導体チップの概略的構成を示す図、図 51 は、各々のセルアレイに対し独立にヒューズ回路、強制冗長用ヒューズ回路および冗長選択用ヒューズ回路を設ける場合の図 50 の A 部の構成を拡大して示す図、そして、図 52 は、メモリセルブロック内の複数

の行ブロックに対し一様にカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図である。

【0175】図50に示す半導体チップ6は、4つのバンク（列方向の2列のバンク#0、#1、および、列方向の2列のバンク#2、#3）により構成される。それぞれのバンクは半分に分割され（以下、半バンクと称する）、チップ短辺側の両側8箇所に配置される。一つのバンク（例えば、バンク#0）内の一対の半バンクには、複数のメモリセルを含むセルアレイNo. 0（参照番号6-0により示す）およびセルアレイNo. 1（参照番号6-1により示す）がそれぞれ設けられている。これらのセルアレイNo. 0およびセルアレイNo. 1の両端部には、複数のデコーダ信号線が配置された列デコーダNo. 0（参照番号7-0により示す）および列デコーダ7-1（参照番号7-1により示す）がそれぞれ設けられている。さらに、一対の半バンクの中央部には、メインワードデコーダ7-2が設けられている。

【0176】前述の第3の実施例等に係る半導体記憶装置においては、図51（図50のA部を拡大した図）に示すように、一対の半バンクの一方に配置されたロー選択線r0～r63に対応して、セルアレイNo. 0側の通常選択用のヒューズ回路（単に、ヒューズ回路と略記することもある）および強制冗長用ヒューズ回路8-0が設けられている。さらに、冗長選択線rj0、rj1に対応して、セルアレイNo. 0側の冗長選択用ヒューズ回路8j-0が設けられている。また一方で、一対の半バンクの他方に配置されたロー選択線r0～r63に対応して、セルアレイNo. 1側の通常選択用のヒューズ回路（単に、ヒューズ回路と略記することもある）および強制冗長用ヒューズ回路8-1が設けられている。さらに、冗長選択線rj0、rj1に対応して、セルアレイNo. 1側の冗長選択用ヒューズ回路8j-1が設けられている。換言すれば、図51に示すようなシフト冗長方式の半導体記憶装置においては、半導体チップ内の一つ一つのセルアレイに対応して、独立に通常選択用のヒューズ回路、強制冗長用ヒューズ回路および冗長選択用ヒューズ回路を用意していた。

【0177】したがって、図51に示すような半導体記憶装置では、一つのセルアレイの選択線（ここでは、ロー選択線）の総数に対して2ビットまたは1ビットのシフト冗長を行うのみであった。より具体的にいえば、図51のシフト冗長方式の半導体記憶装置では、一つのセルアレイの64本の選択線に対してしか冗長の自由度を確保することができないので、冗長選択用ヒューズ回路内の冗長選択用ヒューズに対する自由度が制限される。

【0178】また一方で、図50に示す半導体チップ6の各々の半バンク内で、複数のメモリセルを含むメモリセルブロックが、複数の行ブロック（図52では、4つの行ブロック）に分割されている場合を想定する。前述

の第1～第3の実施例等に係る半導体記憶装置においては、図52（図50のB部を拡大した図）に示すように、各々の半バンク内の4つの行ブロックにわたって配置されたカラム選択線（図52では、選択線c10～c163により表す）のシフト冗長を行う場合に、列デコーダ（例えば、列デコーダNo. 1）の入力アドレスCA#のみを使用していた。この場合には、複数の行ブロックにわたって駆動されるカラム選択線のシフト冗長を行うか否かが、全ての行ブロックに対し一様に決まってしまうことになる。

【0179】このため、図52のケース1のように、カラム選択線による冗長を行わないケースでは、スイッチ部2（ここでは、簡単のために、第2の行ブロック6r-1および第3の行ブロック6r-2のスイッチ部2-1、2-2のみを示す）内のスイッチ素子が切替動作を行わず、全ての行ブロック6r-0～6r-3について冗長が行われないことになる。また一方で、ケース2のように、カラム選択線による2ビットのシフト冗長を行うケースでは、全ての行ブロックについて同じカラム選択線に対するシフト冗長が行われることになる。このため、行ブロック単位での冗長を行うことができず、冗長の自由度が制限される。

【0180】図53は、隣接するセルアレイに対しヒューズ回路および強制冗長用ヒューズ回路を共有させる場合の図50のA部の構成を拡大して示す図である。図53に示すシフト冗長方式は、図51に基づいて説明したような「一つのセルアレイに対してしか冗長の自由度を確保することができないために、冗長の自由度が制限される」という不都合な事態を解消するために考え出されたものである。

【0181】図53においては、隣接する2つのセルアレイ（セルアレイNo. 0およびセルアレイNo. 1）に対し共有のヒューズ回路および強制冗長用ヒューズ回路8cを設けることにより、通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させるようにしている。また一方で、隣接する2つのセルアレイに対し、それぞれ独立に冗長選択線用ヒューズ回路（ここでは、セルアレイNo. 0側の冗長選択用ヒューズ回路8j-0と、セルアレイNo. 1側の冗長選択用ヒューズ回路8j-1）を設けるようにしている。このような構成によって、隣接する2つのセルアレイの選択線の総数128本に対し2ビットまたは1ビットのシフト冗長を行うことが可能になり、図51のシフト冗長方式に比べて冗長選択線用ヒューズに対する自由度を大きくすることができる。なお、この場合、上記の隣接する2つのセルアレイのいずれか一方の選択線に対し2ビットまたは1ビットのシフト冗長を行うことも可能である。

【0182】図54は、メモリセルブロック内の各々の行ブロック単位でカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図である。図54

に示すシフト冗長方式は、図52に基づいて説明したような「行ブロック単位での冗長を行うことができず、冗長の自由度が制限される」という不都合な事態を解消するために考え出されたものである。

【0183】図54においては、カラム選択線のシフト冗長を行う場合に、列デコーダ（例えば、列デコーダNo. 1）の入力アドレスCA#と、行ブロックのアドレスRA0、RA1の論理とを組み合わせることにより、複数の行ブロック6r-0～6r-3にわたって駆動されるカラム選択線は、それぞれの行ブロックに対応する行ブロックのアドレスの論理を受けることにより行ブロック単位での冗長を行うことが可能になる。

【0184】より具体的にいえば、図54のケース1のように、第2の行ブロック6r-1が選択されたときは、行ブロックのアドレスRA0、RA1のアドレスの論理により行ブロック6r-1のみでスイッチ部2-1内のスイッチ素子の切替動作を行わせることによって1ビットのシフト冗長を実行することが可能になる。また一方で、ケース2のように、第3の行ブロック6r-2が選択されたときは、行ブロックのアドレスRA0、RA1の論理により行ブロック6r-2のみでスイッチ部2-2内のスイッチ素子の切替動作を行わせることによって2ビットのシフト冗長を実行することが可能になる。このような構成によって、複数の行ブロックの各々に対し独立に、2ビットのシフト冗長を行うか、または、1ビットのシフト冗長を行うか、または、シフト冗長を行わないようにすることが可能になり、図52のシフト冗長方式に比べて冗長の自由度を大きくすることができる。

【0185】図55～図60は、それぞれ、本発明の第4の実施例の全体的な回路構成を示すブロック図のその1～その6を示すものである。

【0186】図55～図60に示す第4の実施例は、前述の第3の実施例に示したような「複数のヒューズの組み合わせにより、欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成する構成」に、図52の「隣接する2つのセルアレイに対し通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させ、上記セルアレイの各々に対し独立に冗長選択線用ヒューズ回路を設ける構成」を適用することにより、冗長の自由度を比較的大きくするようにしたものである。

【0187】上記の第4の実施例の特徴的な点は、隣接する2つのセルアレイNo. 0、No. 1に対し、図59～図62に示す通常選択用のヒューズ回路601-3～601-7、および601-9～601-13と、強制冗長用ヒューズ回路601-2、601-8を共有させ、上記の2つのセルアレイに対し、それぞれ独立に冗長選択線用ヒューズ回路を設ける構成になっていることである。さらに、隣接する2つのセルアレイNo. 0、

No. 1に対し、ヒューズ信号生成回路を共有させる構成にもなっている。上記のヒューズ回路、強制冗長用ヒューズ回路およびヒューズ信号生成回路以外の主たる構成要素、例えば、ヒューズアプリデコーダ回路、ヒューズデコーダ回路およびシフト制御回路は、前述の第3の実施例と同様に、各々のセルアレイに対し独立に設けている。

【0188】さらに、上記の第4の実施例においても、前述の第3の実施例と同じように、複数のヒューズの組み合わせにより生成される信号をデコードすることによって必要なヒューズの数を選減するようにしている。例えば、64本の選択線にそれぞれ対応するヒューズデコード信号を生成する場合、6本（ $2^6 = 64$ ）のヒューズを組み合わせることによって64通りのヒューズデコード信号が生成されるので、2本の冗長選択用ヒューズを含めて14本のヒューズを用意すればよい。この場合、強制冗長用ヒューズを生成するための回路（すなわち、強制冗長用ヒューズ回路601-2、601-8）は、冗長選択線に欠陥があるか否かを、ヒューズを実際に切らないで確認するための機能を有している。

【0189】さらに詳しく説明すると、上記の第4の実施例では、隣接するセルアレイNo. 0およびセルアレイNo. 1に対し、通常選択用のヒューズをそれぞれ有する10個のヒューズ回路601-3～601-7、および601-9～601-13と、2個の強制冗長用ヒューズ回路601-2、601-8とを設けている。さらに、隣接するセルアレイの一方のセルアレイNo. 0に対し、2個の冗長選択用ヒューズ回路601-1、601-14を設けると共に、他方のセルアレイNo. 1に対し、2個の冗長選択用ヒューズ回路602-1、602-14を設けている。

【0190】さらに、上記の第4の実施例では、セルアレイNo. 0側の一方の冗長選択用ヒューズ回路601-1から出力される信号j r f s r 0 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路610-1と、同セルアレイ側の他方の冗長選択用ヒューズ回路601-14から出力される信号j r f s r 1 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路610-14とを設けている。また一方で、セルアレイNo. 1側の一方の冗長選択用ヒューズ回路602-1から出力される信号j r f s l 0 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路611-1と、同セルアレイ側の他方の冗長選択用ヒューズ回路602-14から出力される信号j r f s l 1 xのレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路611-14とを設けている。

【0191】さらに、上記の第4の実施例では、セルアレイNo. 0側およびセルアレイNo. 1側に対し共有の一方の強制冗長用ヒューズ回路601-2から出力される信号r f s 0 0 x、およびヒューズ回路601-3

～601-7から出力される信号 $rfs01x \sim rfs05x$ をもとに、相補形式のヒューズ信号 $rfa00x/rfa00z$ 、 $rfa01x/rfa01z$ 、 $rfb00x/rfb00z$ 、 $rfb01x/rfb01z$ 、 $rfc00x/rfc00z$ 、および $rfa01x/rfc01z$ を生成するヒューズ信号生成回路610-2～610-7を設けている。

【0192】さらに、上記の第4の実施例では、ヒューズ信号生成回路610-2～610-7の出力側であってセルアレイNo. 0側に、ヒューズプリデコード回路620-1～620-12を設けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、セルアレイNo. 0用の12種のヒューズプリデコード信号 $rfaa000x \sim rfaa003x$ 、 $rfa000x \sim rfa003x$ 、および $rfa000x \sim rfa003x$ を出力するものである。また一方で、ヒューズ信号生成回路610-2～610-7の出力側であってセルアレイNo. 1側に、ヒューズプリデコード回路621-1～621-12を設けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、セルアレイNo. 1用の12種のヒューズプリデコード信号 $rfaa100x \sim rfaa103x$ 、 $rfa010x \sim rfa013x$ 、および $rfa010x \sim rfa013x$ を出力するものである。

【0193】さらに、上記の第4の実施例では、セルアレイNo. 0側およびセルアレイNo. 1側に対し共有の他方の強制冗長用ヒューズ回路601-8から出力される信号 $rfs15x$ 、およびヒューズ回路601-9～601-13から出力される信号 $rfs14x \sim rfs10x$ をもとに、相補形式のヒューズ信号 $rfa011x/rfa011z$ 、 $rfa010x/rfa010z$ 、 $rfa011x/rfa011z$ 、 $rfa010x/rfa010z$ 、および $rfa010x/rfa010z$ を生成するヒューズ信号生成回路610-8～610-13を設けている。

【0194】さらに、上記の第4の実施例では、ヒューズ信号生成回路610-8～610-13の出力側であってセルアレイNo. 0側に、ヒューズプリデコード回路620-13～620-24を設けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、セルアレイNo. 0用の別の12種のヒューズプリデコード信号 $rfa010x \sim rfa013x$ 、 $rfa010x \sim rfa013x$ 、および $rfa010x \sim rfa013x$ を出力するものである。また一方で、ヒューズ信号生成回路610-8～610-13の出力側であってセルアレイNo. 1側

に、ヒューズプリデコード回路621-13～621-24を設けている。これらのヒューズプリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、セルアレイNo. 1用の別の12種のヒューズプリデコード信号 $rfaa110x \sim rfaa113x$ 、 $rfa0110x \sim rfa0113x$ 、および $rfa0110x \sim rfa0113x$ を出力するものである。

【0195】ここで、セルアレイNo. 0側の一方の冗長選択用ヒューズ回路601-1内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号 $rfa01x$ が、冗長選択用ヒューズ信号増幅回路610-1からヒューズプリデコード回路620-1～620-4へ供給される。さらに、セルアレイNo. 0側の他方の冗長選択用ヒューズ回路601-14内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号 $rfa01x$ が、冗長選択用ヒューズ信号増幅回路610-14からヒューズプリデコード回路620-21～620-24へ供給される。また一方で、セルアレイNo. 1側の一方の冗長選択用ヒューズ回路602-1内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号 $rfa01x$ が、冗長選択用ヒューズ信号増幅回路611-1からヒューズプリデコード回路621-1～621-4へ供給される。さらに、セルアレイNo. 1側の他方の冗長選択用ヒューズ回路602-14内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号 $rfa01x$ が、冗長選択用ヒューズ信号増幅回路611-14からヒューズプリデコード回路621-21～621-24へ供給される。

【0196】さらに、上記の第4の実施例では、セルアレイNo. 0側において、第1のグループのヒューズプリデコード回路620-1～620-12から出力される12種のヒューズプリデコード信号と、第2のグループのヒューズプリデコード回路620-13～620-24から出力される12種のヒューズプリデコード信号とを組み合わせることにより、選択線の総数に対応する64通りのヒューズデコード信号 $rfa000x \sim rfa063x$ を生成するヒューズデコード回路630-1～630-m (mは2以上の任意の正の整数、ここでは、 $m=64$ )を設けている。これらのヒューズデコード回路により生成されたヒューズデコード信号 $rfa000x \sim rfa063x$ は、前述の第1～第3の実施例とはほぼ同じ構成のシフト制御回路640-2～640-m+1に入力され、必要に応じてシフト冗長が行われる。なお、セルアレイNo. 0側の冗長選択用ヒューズ回路601-1、601-14の出力信号 $jrfsr0x$ 、 $jrfsr1x$ は、それぞれ、冗長選択用ヒューズ信号増幅回路によりレベルを反転された後に、冗長選択用のシフト制御回路640-1、640-m+2に入力される。

【0197】また一方で、上記の第4の実施例では、セルアレイNo. 1側において、第1のグループのヒューズブリデコード回路621-1～621-12から出力される12種のヒューズブリデコード信号と、第2のグループのヒューズブリデコード回路621-13～621-24から出力される12種のヒューズブリデコード信号とを組み合わせることにより、選択線の総数に対応する64通りのヒューズデコード信号 $rfa100x \sim rfa163x$ を生成するヒューズデコード回路631-1～631-m (mは2以上の任意の正の整数、ここでは、 $m=64$ )を設けている。これらのヒューズデコード回路により生成されたヒューズデコード信号 $rfa000x \sim rfa163x$ は、前述の第1～第3の実施例とほぼ同じ構成のシフト制御回路641-2～641-m+1に入力され、必要に応じてシフト冗長が行われる。なお、セルアレイNo. 1側の冗長選択用ヒューズ回路602-1、602-14の出力信号 $jrf s r 0 x$ 、 $j r f s r 1 x$ は、それぞれ、冗長選択用ヒューズ信号増幅回路によりレベルを反転された後に、冗長選択用のシフト制御回路641-1、641-m+2に入力される。

【0198】図55～図60に示すような第4の実施例において、隣接する2つのセルアレイの両方にて2ビットのシフト冗長を行いたい場合は、全ての冗長選択用ヒューズ回路のヒューズを切断し、さらに、欠陥が発生した欠陥選択線に対応するように複数のヒューズ回路のヒューズを切断する。すなわち、各々のセルアレイにおいて、切断した冗長選択ヒューズ回路のヒューズと、切断した通常選択用の回路のヒューズとを組み合わせることによりシフト冗長を行うようにしている。

【0199】さらに、片方のセルアレイのみにて2ビットのシフト冗長を行いたい場合は、上記セルアレイに対応する冗長選択用ヒューズ回路のヒューズを2本とも切断し、もう一方のセルアレイに対応する冗長選択用ヒューズ回路のヒューズを残しておく。さらにまた、片方のセルアレイで1シフトの冗長を行いたい場合は、上記セルアレイに対応するヒューズ回路のヒューズを1本だけ切断する。このようなシフト冗長方式により、2つのセルアレイ分の128本の選択線に対し2ビットまたは1ビットのシフト冗長を行うことが可能になるので、前述の第3の実施例のような64本の選択線に対し2ビットまたは1ビットのシフト冗長を行う場合に比べ、冗長選択用のヒューズに対する冗長の自由度が大きくなる。

【0200】図61は、本発明の第4の実施例における冗長選択用ヒューズ回路の構成を示す回路図、図62は、本発明の第4の実施例における強制冗長用ヒューズ回路の構成を示す回路図、そして、図63は、本発明の第4の実施例における通常選択用のヒューズ回路の構成を示す回路図である。図61～図63に示すヒューズ回路においては、選択線の“H”レベル用の電源の電源電

圧として $V_{ii}$  (内部電圧) が使用され、選択線の“L”レベル用の電源の電源電圧として $V_{nw1}$  が使用される。

【0201】図61～図63に示す冗長選択用ヒューズ回路、強制冗長用ヒューズ回路および通常選択用のヒューズ回路の構成は、前述の第3の実施例に対し出力信号の論理が反転しているのみで、この第3の実施例の構成と実質的に同じである。

【0202】図61において、 $s t t x$ は、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号である。 $f t p z$ は、強制冗長を行う際に“H”レベルになる制御信号である。図61に示す冗長選択用ヒューズ回路は、制御信号 $s t t x$ が入力されるPチャネル型トランジスタ604rおよびNチャネル型トランジスタ606rと、制御信号 $f t p z$ が入力されるPチャネル型トランジスタ605rおよびNチャネル型トランジスタ607rと、Nチャネル型トランジスタ608rと、インバータ609rとを備えている。ヒューズ603rを切断していない場合、Nチャネル型トランジスタ608rがオフ状態になって冗長選択用ヒューズ回路の出力信号 $j r f s x$  (図58および図60のセルアレイNo. 0側の出力信号 $j r f s r 0 x$ 、 $j r f s r 1 x$ 、および、セルアレイNo. 1側の出力信号 $j r f s 1 0 x$ および $j r f s 1 1 x$ に対応する)は“L”レベルになる。ヒューズ603rを切断した場合、Nチャネル型トランジスタ608rがオン状態になって冗長選択用ヒューズ回路の出力信号 $j r f s x$ は“H”レベルになる。ただし、この冗長選択用ヒューズ回路の出力信号 $j r f s x$ のレベルは、後述の図64の冗長選択用ヒューズ信号増幅回路により反転された後にシフト制御回路に入力されるので、ヒューズ603rを切断していない場合に“H”レベルの出力信号がシフト制御回路に供給され、ヒューズ603rを切断した場合に“L”レベルの出力信号がシフト制御回路に供給されることになる。

【0203】図61において、電源が立ち上がって制御信号 $s t t x$ が“L”レベルになった場合、強制冗長処理を行わないときは、Nチャネル型トランジスタ608rがオフ状態になって冗長選択用ヒューズ回路の出力信号 $j r f s x$ は“L”レベルになる。強制冗長処理を行ったときは、Nチャネル型トランジスタ608rがオン状態になって冗長選択用のヒューズ回路の出力信号 $j r f s x$ は“H”レベルになる。すなわち、強制冗長処理を行ったときは、冗長選択用ヒューズ回路のヒューズ603rを切断したときと同じ結果になる。

【0204】さらに、図62において、 $f t p z$ は、前述したように、強制冗長を行う際に“H”レベルになる制御信号である。図61に示す強制冗長用ヒューズ回路は、制御信号 $s t t x$ が入力されるPチャネル型トランジスタ604fおよびNチャネル型トランジスタ606

fと、制御信号f t p zが入力されるPチャネル型トランジスタ605fおよびNチャネル型トランジスタ607fと、Nチャネル型トランジスタ608fと、インバータ609fとを備えている。ここでは、ヒューズ603fを強制冗長の対象とし、このヒューズ603fを切断したように見せかけた場合、強制冗長用ヒューズ回路の出力信号r f s x（図58および図59の出力信号r f s 00x、r f s 15xに対応する）は“H”レベルになる。この状態で、冗長選択線に不良がないか否かを確認することが可能である。

【0205】図63に示すヒューズ回路は、制御信号s t t xが入力されるPチャネル型トランジスタ604およびNチャネル型トランジスタ605と、Nチャネル型トランジスタ606と、インバータ607とを備えている。電源が立ち上がって制御信号s t t xが“L”レベルになった場合、ヒューズ603が切断されていないときは、Nチャネル型トランジスタ606がオフ状態になってヒューズ回路の出力信号r f s x（r f s #x）は“L”レベルになる。ヒューズ603を切断したときは、Nチャネル型トランジスタ606がオン状態になってヒューズ回路の出力信号r f s xは“H”レベルになる。

【0206】図64は、本発明の第4の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図であり、図65は、本発明の第4の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【0207】図64に示す冗長選択用ヒューズ信号増幅回路は、インバータ612により構成される。この冗長選択用ヒューズ信号増幅回路においては、シフト制御回路およびヒューズブリデコード回路に対し、正しい論理の冗長選択用ヒューズ信号r f a j x（図55、図57、図58および図60のセルアレイNo. 0側の冗長選択用ヒューズ信号r f a j r 0x、r f a j r 1x、および、セルアレイNo. 1側の冗長選択用ヒューズ信号r f a j l 0xおよびr f a j l 1xに対応する）を供給するするために、冗長選択用ヒューズ回路の出力信号j r f s xのレベルをインバータ612により反転して増幅するようにしている。

【0208】また一方で、図65に示すヒューズ信号生成回路は、インバータ613により構成される。このヒューズ信号生成回路においては、通常選択用のヒューズ回路の出力信号r f s #xそのもの（r f a #x）と、この出力信号r f s #xをインバータ613により反転して得られる信号（r f a #z）が出力される。すなわち、上記のヒューズ信号生成回路では、相補形式のヒューズ信号r f a #x／r f a #zが生成される。

【0209】図66は、本発明の第4の実施例における第1のヒューズブリデコード回路の構成を示す回路図であり、図67は、本発明の第4の実施例における第2のヒューズブリデコード回路の構成を示す回路図である。

【0210】図66に示す第1のヒューズブリデコード回路は、NORゲート622により構成される。このNORゲート622では、それぞれ異なるヒューズ信号生成回路により生成された2つのヒューズ信号r f a 0y、r f a 1y（例えば、ヒューズ信号生成回路610-2、610-3から出力されるヒューズ信号r f a 00x／r f a 00z、r f a 01x／r f a 01zの任意の2つに対応する）が入力されると共に、冗長選択用ヒューズ回路内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号r f a j xが入力される。さらに、NORゲート622では、ヒューズ信号r f a 0y、r f a 1yおよび冗長選択用ヒューズ信号r f a j xの3つの入力信号の否定論理和を演算することにより、ヒューズブリデコード信号r f a a #xが出力される。

【0211】ここで、冗長選択用ヒューズ回路内のヒューズが切断されていない場合、前述したように、冗長選択用ヒューズ回路の出力信号j r f s xのレベルを反転して得られる冗長選択用ヒューズ信号r f a j x信号は、“H”レベルになる。したがって、NORゲート622から出力されるヒューズブリデコード信号r f a a #xは、2つのヒューズ信号r f a 0y、r f a 1yのレベルに関係なく“L”レベルになる。この場合は、上記のヒューズブリデコード信号r f a a #xにより、セルアレイ内の当該冗長選択用ヒューズ回路が配置される側ではシフト冗長を行わない旨が伝えられることになる。

【0212】また一方で、冗長選択用ヒューズ回路内のヒューズを切断した場合、冗長選択用ヒューズ回路の出力信号j r f s xのレベルを反転して得られる冗長選択用ヒューズ信号r f a j x信号は、“L”レベルになる。したがって、この場合は、セルアレイ内の当該冗長選択用ヒューズ回路が配置される側でシフト冗長が行われることになり、2つのヒューズ信号r f a 0y、r f a 1yの組み合わせに基づいて、“H”レベルまたは“L”レベルのヒューズブリデコード信号r f a a #xが出力される。

【0213】図67に示すヒューズブリデコード回路は、NORゲート623により構成される。このNORゲート623では、それぞれ異なるヒューズ信号生成回路により生成された2つのヒューズ信号r f b 0y、r f b 1y（例えば、ヒューズ信号生成回路610-4、610-4から出力されるヒューズ信号r f b 00x／r f b 00z、r f b 01x／r f b 01zの任意の2つに対応する）またはr f c 0y、r f c 1yを入力することにより、複数種のヒューズブリデコード信号（r f a b #xまたはr f a c #x）を生成するようにしている。

【0214】図68は、本発明の第4の実施例におけるヒューズデコード回路の構成を示す回路図である。図6

8に示すヒューズデコード回路は、3つのNANDゲート632、633および634により構成される。このヒューズデコード回路では、上記の3つのNANDゲートを用いて、異なるヒューズアリデコード回路により生成されたヒューズアリデコード信号（例えば、 $rfaa0\#x$ 、 $rfab0\#x$ 、 $rfac0\#x$ 、 $rfaa1\#x$ 、 $rfab1\#x$ 、および $rfac0\#x$ ）を適当に組み合わせることにより、欠陥選択線に対応するヒューズのアドレスを指定するためのヒューズデコード信号（例えば、 $rfa\#x$ ）を生成するようにしている。

【0215】図69は、本発明の第4の実施例におけるシフト制御回路の構成を示す回路図である。図69に示すような各々のシフト制御回路は、前述の第2の実施例の場合と同じように、NORゲートとインバータにより構成されている。

【0216】図69において、 $rfa\#x$ は、ヒューズデコード回路から供給されるヒューズデコード信号 $rfa000x \sim rfa063x$ の任意の一つを表している。上記のシフト制御回路は、前述の第2の実施例（図20）の場合とはほぼ同じ機能を有する。シフト制御回路の入力信号 $lin$ は左隣の出力信号 $lout$ と接続し、シフト制御回路の他の入力信号 $uin$ は右隣の出力信号 $uout$ と接続し、左端の入力信号 $lin$ および右端の入力信号 $uin$ には、“L”（電圧 $V_{nw1}$ ）レベルが入力される。

【0217】より詳しくいえば、図69の通常選択用のシフト制御回路の入力信号 $lin$ の側には、NORゲート642が設けられており、出力信号 $lout$ の側には、インバータ643が設けられている。また一方で、図69のシフト制御回路の入力信号 $uin$ の側には、NORゲート644が設けられており、出力信号 $uout$ の側には、インバータ645が設けられている。

【0218】入力信号 $uin$ の側に設けられたNORゲート644から出力される出力信号 $scu$ は、選択線駆動回路（第4の実施例には図示していない：例えば、第2の実施例に係る図19参照）の他方の入力信号として使用される。また一方で、入力信号 $lin$ の側に設けられたNORゲート642から出力される出力信号 $sc1$ は、選択線駆動回路の一方の入力信号として使用される。これらの出力信号 $scu$ 、 $sc1$ は、スイッチ部内の3方向性のスイッチ素子の動作を制御するために使用される。

【0219】図70～図72は、それぞれ、本発明の第5の実施例の全体的な回路構成を示すブロック図のその1～その3を示すものである。

【0220】図70～図72に示す第5の実施例は、前述の第3の実施例に示したような「複数のヒューズの組み合わせにより、欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成する構成」に、図54の「複数の行ブロックにわたって配置された

カラム選択線のシフト冗長を行う場合、シフト冗長の対象となるカラム選択線のアドレスと行ブロックのアドレスの論理とを組み合わせることにより、行ブロック単位での冗長を行うことが可能になる構成」を適用することにより、冗長の自由度を比較的大きくするようにしたものである。

【0221】上記の第5の実施例の特徴的な点は、複数の行ブロックにわたって配置されたカラム選択線のシフト冗長を行う機能を備えた半導体記憶装置（図52にて説明済み）において、上記複数の行ブロックの各々に対し冗長を行うか否かを決定するためのヒューズを有する冗長行ブロック選択回路770-1～770-4および770-14～770-17と、これらの冗長行ブロック選択回路からの出力に基づき上記複数の行ブロックのアドレスの論理を生成する行アドレス論理回路780-1、780-14とを設ける構成になっていることである。上記の冗長行ブロック選択回路および行アドレス論理回路以外の主たる構成要素、例えば、ヒューズ回路、ヒューズアリデコード回路、ヒューズデコード回路およびシフト制御回路は、前述の第5の実施例に対し出力信号の論理が反転しているのみで、この第5の実施例の構成と実質的に同じである。

【0222】さらに、上記の第5の実施例においても、前述の第4の実施例と同じように、複数のヒューズの組み合わせにより生成される信号をデコードすることによって必要なヒューズの数を選減するようにしている。例えば、64本のカラム選択線にそれぞれ対応するヒューズデコード信号を生成する場合、6本のヒューズを組み合わせることによって64通りのヒューズデコード信号が生成されるので、2本の冗長選択用ヒューズを含めて14本のヒューズを用意すればよい。この場合、後述の強制冗長用ヒューズを生成するための回路（すなわち、強制冗長用ヒューズ回路701-2、701-8）は、冗長選択線に欠陥があるか否かを、ヒューズを実際に切らないで確認するための機能を有している。

【0223】さらに詳しく説明すると、上記の第5の実施例では、通常選択用のヒューズをそれぞれ有する10個のヒューズ回路701-3～701-7、および701-9～701-13と、2個の冗長選択線用のヒューズ回路701-1、701-14と、2個の強制冗長用ヒューズ回路701-2、701-8とを設けている。さらに、一方の冗長選択用ヒューズ回路701-1から出力される信号 $jcf s r 0 x$ のレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路710-1と、他方の冗長選択用ヒューズ回路701-14から出力される信号 $jcf s r 1 x$ のレベルを反転して増幅する冗長選択用ヒューズ信号増幅回路710-14とを設けている。

【0224】さらに、上記の第5の実施例では、一方の強制冗長用ヒューズ回路701-2から出力される信号

cfs00x、およびヒューズ回路701-3~701-7から出力される信号cfs01x~cfs05xをもとに、相補形式のヒューズ信号cfa00x/cfa00z、cfa01x/cfa01z、cfb00x/cfb00z、cfb01x/cfb01z、cfc00x/cfc00z、およびcfc01x/cfc01zを生成するヒューズ信号生成回路710-2~710-7を設けている。

【0225】さらに、上記の第5の実施例では、ヒューズ信号生成回路710-2~710-7の出力側に、ヒューズブリデコード回路720-1~720-12を設けている。これらのヒューズブリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、12種のヒューズブリデコード信号cfaa000x~cfaa003x、cfab000x~cfab003x、およびcfac000x~cfac003xを出力するものである。

【0226】さらに、上記の第5の実施例では、他方の強制冗長用ヒューズ回路701-8から出力される信号cfs15x、およびヒューズ回路701-9~701-13から出力される信号cfs14x~cfs10xをもとに、相補形式のヒューズ信号cfc11x/cfc11z、cfc10x/cfc10z、cfb11x/cfb11z、cfb10x/cfb10z、cfa11x/cfa11z、およびcfa10x/cfa10zを生成するヒューズ信号生成回路710-8~710-13を設けている。

【0227】さらに、上記の第5の実施例では、ヒューズ信号生成回路710-8~710-13の出力側に、ヒューズブリデコード回路730-13~730-24を設けている。これらのヒューズブリデコード回路は、ヒューズ信号生成回路により生成された相補形式のヒューズ信号を適当に組み合わせることにより、別の12種のヒューズブリデコード信号cfac010x~cfac013x、cfab010x~cfab013x、およびcfaa010x~cfaa013xを出力するものである。

【0228】ここで、一方の冗長選択用ヒューズ回路701-1内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号cfajr0xが、冗長選択用ヒューズ信号増幅回路710-1からヒューズブリデコード回路730-1~730-4へ供給される。さらに、他方の冗長選択用ヒューズ回路701-14内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号cfajr1xが、冗長選択用ヒューズ信号増幅回路710-14からヒューズブリデコード回路730-21~730-24へ供給される。

【0229】さらに、上記の第5の実施例では、第1のグループのヒューズブリデコード回路730-1~73

0-12から出力される12種のヒューズブリデコード信号と、第2のグループのヒューズブリデコード回路730-13~730-24から出力される12種のヒューズブリデコード信号とを組み合わせることにより、カラム選択線の総数に対応する64通りのヒューズデコード信号cfa000x~cfa063xを生成するヒューズデコード回路750-1~750-m (mは2以上の任意の正の整数、ここでは、m=64) を設けている。これらのヒューズデコード回路により生成されたヒューズデコード信号cfa000x~cfa063xは、前述の第1~第4の実施例とほぼ同じ構成のシフト制御回路760-2~760-m+1に入力され、必要に応じてシフト冗長が行われる。なお、2つの冗長選択用ヒューズ回路701-1、701-14の出力信号jcfsr0x、jcfsr1xは、それぞれ、冗長選択用ヒューズ信号増幅回路によりレベルを反転された後に、冗長選択用のシフト制御回路760-1、760-m+2に入力される。

【0230】図70~図72に示すような第5の実施例において、一つのメモリセルブロック内の複数の行ブロックにわたって配置されたカラム選択線に対しシフト冗長を行う場合に、シフト冗長の対象となるカラム選択線のアドレスに対し行ブロックのアドレスRA1、RA2の論理を組み込むことによって、複数の行ブロックにわたって駆動されるカラム選択線が、それぞれの行ブロックに対応する行ブロックのアドレスの論理を受けることになり、行ブロック単位での冗長を行うことが可能になる。

【0231】図73は、本発明の第5の実施例における冗長選択用ヒューズ回路の構成を示す回路図、図74は、本発明の第5の実施例における強制冗長用ヒューズ回路の構成を示す回路図、そして、図75は、本発明の第5の実施例における通常選択用のヒューズ回路の構成を示す回路図である。図73~図75に示すヒューズ回路においては、選択線の“H”レベル用の電源の電源電圧としてVii (内部電圧) が使用され、選択線の“L”レベル用の電源の電源電圧として、アース電位のVssが使用される。

【0232】図73~図75に示す冗長選択用ヒューズ回路、強制冗長用ヒューズ回路および通常選択用のヒューズ回路の構成は、前述の第4の実施例に対し出力信号の論理が反転している点と、2つの冗長選択用ヒューズ回路の各々に冗長イネーブル信号sftez (図84にて後述するsfteに対応する) が入力される点を除けば、前述の第4の実施例の構成と実質的に同じである。

【0233】図73において、sttxは、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号である。ftpzは、強制冗長を行う際に“H”レベルになる制御信号である。図73に示す冗長選択用ヒューズ

ーズ回路は、制御信号  $s t t x$  が入力される P チャンネル型トランジスタ 703r および N チャンネル型トランジスタ 705r と、制御信号  $f t p z$  が入力される P チャンネル型トランジスタ 704r および N チャンネル型トランジスタ 706r と、N チャンネル型トランジスタ 707r と、インバータ 708r と、NAND ゲート 709r とを備えている。ヒューズ 702r を切断していない場合、N チャンネル型トランジスタ 707r がオフ状態になって冗長選択用ヒューズ回路の出力信号  $j c f s x$  ( 図 70 および 図 72 の出力信号  $j c f s r 0 x$ 、 $j c f s r 1 x$  に対応する ) は “H” レベルになる。ヒューズ 702r を切断したとき N チャンネル型トランジスタ 707r がオン状態になり、冗長イネーブル信号  $s f t e$  が “H” レベルになっているときに冗長選択用ヒューズ回路の出力信号  $j c f s x$  は “L” レベルになる。ただし、この冗長選択用ヒューズ回路の出力信号  $j c f s x$  のレベルは、後述の図 76 の冗長選択用ヒューズ信号増幅回路により反転された後にシフト制御回路に入力されるので、ヒューズ 702r を切断していない場合に “L” レベルの出力信号がシフト制御回路に供給され、ヒューズ 702r を切断した場合 ( ただし、冗長イネーブル信号  $s f t e$  が “H” レベル ) に “H” レベルの出力信号がシフト制御回路に供給されることになる。

【0234】さらに、図 73 において、電源が立ち上がって制御信号  $s t t x$  が “L” レベルになった場合、強制冗長処理を行わないときは、N チャンネル型トランジスタ 707r がオフ状態になって冗長選択用ヒューズ回路の出力信号  $j c f s x$  は “H” レベルになる。強制冗長処理を行ったときは、N チャンネル型トランジスタ 707r がオン状態になってインバータ 708r からの出力信号が “H” レベルになる。ここで、冗長イネーブル信号  $s f t e$  が “H” レベルになっている場合のみ、冗長選択用ヒューズ回路の出力信号  $j c f s x$  は “L” レベルになる。すなわち、冗長イネーブル信号  $s f t e$  が “H” レベルになっているという条件下で強制冗長を行ったときは、冗長選択用ヒューズ回路のヒューズ 702r を切断したときと同じ結果になる。

【0235】図 74 において、 $f t p z$  は、前述したように、強制冗長を行う際に “H” レベルになる制御信号である。図 74 に示す強制冗長用ヒューズ回路は、制御信号  $s t t x$  が入力される P チャンネル型トランジスタ 703f および N チャンネル型トランジスタ 705f と、制御信号  $f t p z$  が入力される P チャンネル型トランジスタ 704f および N チャンネル型トランジスタ 706f と、N チャンネル型トランジスタ 707f と、2 つのインバータ 708f、709f とを備えている。ここでは、ヒューズ 702f を強制冗長の対象とし、このヒューズ 702f を切断したように見せかけた場合、強制冗長用ヒューズ回路の出力信号  $c f s x$  ( 図 70 および 図 71 の出力信号  $c f s 00 x$ 、 $c f s 15 x$  に対応する ) は

“L” レベルになる。この状態で、冗長選択線に不良がないか否かを確認することが可能である。

【0236】図 75 に示すヒューズ回路は、制御信号  $s t t x$  が入力される P チャンネル型トランジスタ 703 および N チャンネル型トランジスタ 704 と、N チャンネル型トランジスタ 705 と、2 つのインバータ 706、707 とを備えている。電源が立ち上がって制御信号  $s t t x$  が “L” レベルになった場合、ヒューズ 702 が切断されていないときは、N チャンネル型トランジスタ 705 がオフ状態になってヒューズ回路の出力信号  $c f s x$  (  $c f s \# x$  ) は “H” レベルになる。ヒューズ 702 を切断したときは、N チャンネル型トランジスタ 705 がオン状態になってヒューズ回路の出力信号  $c f s x$  は “L” レベルになる。

【0237】図 76 は、本発明の第 5 の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図であり、図 77 は、本発明の第 5 の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【0238】図 76 に示す冗長選択用ヒューズ信号増幅回路は、インバータ 711 により構成される。この冗長選択用ヒューズ信号増幅回路においては、シフト制御回路およびヒューズブリデコード回路に対し、正しい論理の冗長選択用ヒューズ信号  $c f a j x$  ( 図 70 および 図 72 の冗長選択用ヒューズ信号  $c f a j r 0 x$ 、 $c f a j r 1 x$  に対応する ) を供給するために、冗長選択用ヒューズ回路の出力信号  $j c f s x$  のレベルをインバータ 711 により反転して増幅するようにしている。

【0239】また一方で、図 77 に示すヒューズ信号生成回路は、インバータ 712 により構成される。このヒューズ信号生成回路においては、通常選択用のヒューズ回路の出力信号  $c f s \# x$  そのもの (  $c f a \# x$  ) と、この出力信号  $c f s \# x$  をインバータ 712 により反転して得られる信号 (  $c f a \# z$  ) が出力される。すなわち、上記のヒューズ信号生成回路では、相補形式のヒューズ信号  $c f a \# x / c f a \# z$  が生成される。

【0240】図 78 は、本発明の第 5 の実施例における第 1 のヒューズブリデコード回路の構成を示す回路図であり、図 79 は、本発明の第 5 の実施例における第 2 のヒューズブリデコード回路の構成を示す回路図である。

【0241】図 78 に示す第 1 のヒューズブリデコード回路は、NAND ゲート 731 により構成される。この NAND ゲート 731 では、それぞれ異なるヒューズ信号生成回路により生成された 2 つのヒューズ信号  $c f a 0 y$ 、 $c f a 1 y$  ( 例えば、ヒューズ信号生成回路 710-2、710-3 から出力されるヒューズ信号  $c f a 00 x / c f a 00 z$ 、 $c f a 01 x / c f a 01 z$  の任意の 2 つに対応する ) が入力されると共に、冗長選択用ヒューズ回路内のヒューズが切断されているか否かを示す冗長選択用ヒューズ信号  $c f a j x$  が入力される。さらに、NAND ゲート 731 では、ヒューズ信号  $c f$

a0y、cfalyおよび冗長選択用ヒューズ信号cfajxの3つの入力信号の否定論理積を演算することにより、ヒューズプリデコード信号cfaxが出力される。

【0242】ここで、冗長選択用ヒューズ回路内のヒューズが切断されていない場合、前述したように、冗長選択用ヒューズ回路の出力信号jcsxのレベルを反転して得られる冗長選択用ヒューズ信号cfajx信号は、“L”レベルになる。したがって、NANDゲート622から出力されるヒューズプリデコード信号cfaxは、2つのヒューズ信号cfay、cfalyのレベルに関係なく“H”レベルになる。この場合は、上記のヒューズプリデコード信号cfaxにより、メモリセルブロック内の当該冗長選択用ヒューズ回路が配置される側ではシフト冗長を行わない旨が伝えられることになる。

【0243】また一方で、冗長選択用ヒューズ回路内のヒューズを切断した場合、冗長選択用ヒューズ回路の出力信号jcsxのレベルを反転して得られる冗長選択用ヒューズ信号cfajx信号は、“H”レベルになる。したがって、この場合は、セルアレイ内の当該冗長選択用ヒューズ回路が配置される側でシフト冗長が行われることになり、2つのヒューズ信号cfay、cfalyの組み合わせに基づいて、“H”レベルまたは“L”レベルのヒューズプリデコード信号cfaxが出力される。

【0244】図79に示すヒューズプリデコード回路は、NANDゲート732により構成される。このNANDゲート732では、それぞれ異なるヒューズ信号生成回路により生成された2つのヒューズ信号cfby、cfbly（例えば、ヒューズ信号生成回路710-4、710-5から出力されるヒューズ信号cfb0x/cfb00z、cfb01x/cfb01zの任意の2つに対応する）またはcfcy、cfclyを入力することにより、複数種のヒューズプリデコード信号（cfab#xまたはcfac#x）を生成するようにしている。

【0245】図80は、本発明の第5の実施例におけるヒューズデコード回路の構成を示す回路図である。図80に示すヒューズデコード回路は、3つのNORゲート751、752および753により構成される。このヒューズデコード回路では、上記の3つのNORゲートを用いて、異なるヒューズプリデコード回路により生成されたヒューズプリデコード信号（例えば、cfaa0#x、cfab0#x、cfac0#x、cfaa1#x、cfab1#x、およびcfac1#x）を適当に組み合わせることにより、欠陥選択線に対応するヒューズのアドレスを指定するためのヒューズデコード信号（例えば、cfax）を生成するようにしている。

【0246】図81は、本発明の第5の実施例における

シフト制御回路の構成を示す回路図である。図81に示すような各々のシフト制御回路は、前述の第4の実施例の場合と異なり、NANDゲートとインバータにより構成されている。

【0247】図81において、cfaxは、ヒューズデコード回路から供給されるヒューズデコード信号cf a000x~cf a063xの任意の一つを表している。上記のシフト制御回路は、前述の第1の実施例（図6）の場合とほぼ同じ機能を有する。シフト制御回路の入力信号linは左隣の出力信号outと接続し、シフト制御回路の他の入力信号uinは右隣の出力信号outと接続し、左端の入力信号linおよび右端の入力信号uinには、“H”（電圧Vii）レベルが入力される。

【0248】より詳しくいえば、図81の通常選択用のシフト制御回路の入力信号linの側には、NANDゲート761が設けられており、出力信号outの側には、インバータ762が設けられている。また一方で、図81のシフト制御回路の入力信号uinの側には、NANDゲート763が設けられており、出力信号outの側には、インバータ764が設けられている。

【0249】インバータ764から出力される出力信号uoutは、選択線駆動回路（第5の実施例には図示していない：例えば、第1の実施例に係る図5参照）の他方の入力信号（図5の信号scu）として使用される。また一方で、インバータ762から出力される出力信号outは、選択線駆動回路の一方の入力信号（図5の信号sc1）として使用される。これらの出力信号uout、outは、スイッチ部内の3方向性のスイッチ素子の動作を制御するために使用される。

【0250】ついで、本発明の第5の実施例において特徴的な構成要素である8つの冗長行ブロック選択回路770-1~770-4（図70）および770-1~770-4（図72）と、2つの行アドレス論理回路780-1（図70）、780-14（図72）の具体的な構成例とその動作について説明する。

【0251】図82は、本発明の第5の実施例にて各々のメモリセルブロック内に存在する4つの行ブロックの状態の一例を示す図、図83は、本発明の第5の実施例における冗長行ブロック選択回路の構成を示す回路図、図84は、本発明の第5の実施例における行アドレス論理回路の構成を示す回路図、そして、図85は、図84の行アドレス論理回路の動作を説明するためのタイミングチャートである。

【0252】ここでは、図82に示すような、各々のメモリセルブロック内に存在する4つの行ブロック6r-0~6r-3について説明する。行ブロックのアドレスRA0、RA1の論理がそれぞれ“0”（例えば、“L”レベル）、“0”のときに第1の行ブロック6r-0が選択され、行ブロックのアドレスRA0、RA1

の論理がそれぞれ“1”（例えば、“H”レベル）、  
“0”のときに第2の行ブロック6r-1が選択され  
る。さらに、行ブロックのアドレスRA0、RA1の論  
理がそれぞれ“0”、“1”のときに第3の行ブロック  
6r-2が選択され、行ブロックのアドレスRA0、R  
A1の論理がそれぞれ“1”、“1”のときに第4の行  
ブロック6r-3が選択される。

【0253】図83に示す各々の冗長行ブロック選択回  
路（770-1～770-4および770-14～77  
0-17のいずれか一つ）は、制御信号sttxが入力  
されるPチャネル型トランジスタ772およびNチャ  
ネル型トランジスタ773と、Nチャネル型トランジスタ  
774と、2つのインバータ775、776とを備えて  
いる。電源が立ち上がって制御信号sttxが“L”レ  
ベルになった場合、ヒューズ771が切断されていない  
ときは、Nチャネル型トランジスタ774がオフ状態に  
なって出力信号f0～f3は“H”レベルになる。ヒュ  
ーズ771を切断したときは、Nチャネル型トランジス  
タ774がオン状態になって出力信号f0～f3は  
“L”レベルになる。

【0254】図84に示す行アドレス論理回路780-  
1または780-14は、4つの行ブロックのアドレス  
RA0、RA1の2種類の論理と、これらのアドレスR  
A0、RA1の論理をインバータ781、782により  
それぞれ反転した2種類の論理から、2種類の論理を選  
択して得られる4通りの組み合わせをそれぞれ入力信号  
とする4つのNORゲート783、785、787およ  
び789を備えている。この場合、行ブロックのアド  
レスRA0、RA1の論理に基づいて選択される行ブロッ  
クに対応して、4つのNORゲート783、785、7  
87および789のいずれか一つの出力信号が“H”レ  
ベルになる。例えば、行ブロックのアドレスRA0、R  
A1の論理がそれぞれ“0”、“0”のときには、第1  
番目のNORゲート783の出力信号のみが“H”レ  
ベルになると共に、その他のNORゲートの出力信号は全  
て“L”レベルになり、第1の行ブロック6R-0が選  
択される。同様に、行ブロックのアドレスRA0、  
RA1の論理に応じて第2番目～第4番目のNORゲ  
ートの出力信号が“H”レベルになり、第2～第4の行  
ブロック6r-1～6r-3が選択される。

【0255】さらに、これらのNORゲート783、7  
85、787および789の出力側に、4つのNAND  
ゲート784、786、788および790がそれぞれ  
設けられている。これらのNANDゲート784、78  
6、788および790の各々には、NORゲート78  
3、785、787および789からそれぞれ出力され  
る出力信号の一つと、上記の冗長行ブロック選択回路か  
らの出力信号f0～f3の一つが入力される。さらに、  
上記のNANDゲート784、786、788および7  
90の出力側に、NANDゲート791が設けられてい

る。選択された行ブロックに対しシフト冗長を行う場  
合、この行ブロックに対応する冗長行ブロック選択回路  
内のヒューズを切断しないようにするので、当該冗長行  
ブロック選択回路の出力信号（f0～f3のいずれか一  
つ）が“H”レベルになる。このため、当該冗長行ブ  
ロック選択回路からの“H”レベルの出力信号と、選択さ  
れた行ブロックに対応するNANDゲートの“H”レ  
ベルの出力信号とを入力信号に持つNORゲートの出力信  
号が、“L”レベルになる。この“L”レベルの出力信  
号は、NANDゲート791を通して、“H”レベルの  
出力信号として出力される。

【0256】さらに、上記NANDゲート791の出力  
側に、選択された行ブロックに対しシフト冗長を行うべ  
きか否かに関するデータを保持するためのデータラッチ  
部を含む冗長行ブロックデータ保持回路792が設けら  
れている。この冗長行ブロックデータ保持回路792  
は、NANDゲート791の出力信号のレベルを反転す  
るインバータ794と、サンプリングパルスやNAND  
ゲート791の出力信号やインバータ794の出力信号  
を入力信号に持つ2つのNANDゲート793、795  
と、2つのNANDゲート796、797からなるデー  
タラッチ部とを備えている。このデータラッチ部から、  
選択された行ブロックに対しシフト冗長を行うことを可  
能にする冗長イネーブル信号sfteが出力される。

【0257】まず、図82に示すように、第1の行ブ  
ロック6r-0に対してのみシフト冗長を行わず、その他  
の行ブロックに対してシフト冗長を行う場合には、出力信  
号f0を出力する冗長行ブロック選択回路内のヒューズ  
を切断して出力信号f0を“L”レベルにする。その他  
の冗長行ブロック選択回路のヒューズは切断しない（出  
力信号f1～f3は“H”レベルになる）。

【0258】つぎに、第1の行ブロック6r-0が選択  
されると（RA0=“0”、RA1=“0”）、第1番  
目のNORゲート783の出力信号は“H”レベルにな  
り、第1番目のNANDゲート784の出力信号は  
“H”レベルになる（ノードn00が“H”レベル）。  
その他のNORゲートの出力信号は全て“L”レベルに  
なるので、第2番目～第4番目NANDゲートの出力信  
号は全て“H”レベルになる（ノードn01～n03が  
“H”レベル）。この結果、NANDゲート791の入  
力信号が全て“H”であるので、NANDゲート791  
は“L”レベルの出力信号を出力する（ノードn04が  
“L”レベル）。ノードn04の“L”レベルの信号  
は、冗長行ブロックデータ保持回路を通過し、同じ  
“L”レベルの冗長イネーブル信号sfteとして出力  
される。冗長イネーブル信号sfteが“L”レベルの  
ときは、冗長選択用ヒューズ回路のヒューズの状態によ  
らず、冗長選択用ヒューズ回路の出力信号は“H”レ  
ベルになり、選択された第1の行ブロック6r-0ではシ  
フト冗長を行わない。

【0259】さらに、第3の行ブロック6r-2が選択されると(RA0="0"、RA1="1")、第3番目のNORゲート787の出力信号が"H"レベルになるので、第3番目のNANDゲート788の出力信号は"L"レベルになる。また一方で、その他のNORゲートの出力信号は全て"L"レベルになるので、第1番目のNANDゲート784、第2番目のNANDゲート786、および第4番目のNANDゲート790の出力信号は全て"H"レベルになる。すなわち、ノードn02が"L"レベルでノードn00、n01およびn03が"H"レベルなので、NANDゲート791は"H"レベルの出力信号を出力し(n04が"H"レベル)、冗長イネーブル信号sfteは"H"レベルになる。冗長イネーブル信号sfteが"H"レベルのときは、冗長選択用ヒューズ回路のヒューズの状態に応じて冗長選択線用ヒューズ回路の出力信号のレベルが決まるので、冗長選択用ヒューズ回路のヒューズを切断することにより、選択された第3の行ブロック6r-2に対するシフト冗長を行うことができる。

【0260】同様にして、第2の行ブロックおよび第3の行ブロックに対しシフト冗長を行わず、第1の行ブロックおよび第4の行ブロックに対しシフト冗長を行うこともできる。この場合は、出力信号f1、f2を出力する冗長行ブロック選択回路のヒューズをそれぞれ切断して出力信号f1、f2を"L"レベルにし、出力信号f0、f3を出力する冗長行ブロック選択回路のヒューズはそれぞれ切断せずに出力信号f0とf3を"H"レベルにする。

【0261】ここで、第2の行ブロックまたは第3の行ブロックが選択されたときは、第1番目～第4番目のNANDゲート784、786、788および790の出力信号が全て"H"レベルになるので(n00～n03が"H"レベル)、NANDゲート791は"L"レベルの出力信号を出力し(n04が"L"レベル)、冗長イネーブル信号sfteも"L"レベルになり、選択された行ブロックではシフト冗長を行わない。

【0262】さらに、第1の行ブロックまたは第4の行ブロックが選択されたときは、第1番目のNAND784または第4番目のNANDゲート790のいずれかが"L"レベルの出力信号を出力するので、NANDゲート791は"H"レベルの出力信号を出力する(n04が"H"レベル)。それゆえに、冗長イネーブル信号sfteも"H"レベルになり、選択された行ブロックにてシフト冗長を行うことができる。

【0263】上記の冗長行ブロック選択回路770-1～770-4および770-14～770-17と、行アドレス論理回路780-1、780-14の機能を簡単にまとめると、次のようになる。

【0264】シフト冗長を行わない行ブロックに対応する冗長行ブロック選択回路内のヒューズを予め切断して

おくと、このシフト冗長を行わない行ブロックが選択されたときには冗長イネーブル信号sfteも"L"レベルになり、選択された行ブロックではシフト冗長を行わない。それとは逆に、シフト冗長を行う行ブロックに対応する冗長行ブロック選択回路のヒューズを切断せずに残しておくと、このシフト冗長を行う行ブロックが選択されたときには冗長イネーブル信号sfteが"H"レベルになり、選択された行ブロックにてシフト冗長を行う。

【0265】さらに、図85のタイミングチャートに基づき、行アドレス論理回路780-1内の冗長行ブロックデータ保持回路792の動作について説明する。

【0266】図84に示すノードn01～n03を"H"レベルのままにし(図85の(b))、ノードn00を"L"レベルのままにした状態で(図85の(a))、ノードn04を"H"レベルにしておきたい場合(図85の(c))、すなわち、シフト冗長を行いたい場合、ノードn00が一時的に"H"レベルになってしまうと、ノードn04もその影響を受けて一時的に"L"レベルになってしまう。

【0267】冗長行ブロックデータ保持回路792は、このような事態になるのを防止するために設けられたものである。ここでは、図85の(d)のようなタイミングでパルスを出す信号(サンプリングパルス)の立ち上りにより、ノードn00が一時的に"H"レベルになる前の状態をラッチし、このようにしてラッチした状態を冗長イネーブル信号sfteとして出力するようにしている(図85の(e))。このときの冗長イネーブル信号sfteのレベルは、前述したように、ノードn04のレベルと同じものになり、ノードn04が"H"レベルであれば、冗長イネーブル信号sfteも"H"レベルになり、ノードn04が"L"レベルであれば、冗長イネーブル信号sfteも"L"レベルになる。それゆえに、特定の行ブロックを選択するような行ブロックのアドレスの信号が入ったときにはシフト冗長を行い、それ以外の行ブロックのアドレスの信号が入ったときにはシフト冗長を行わないといったような選択が可能になり、冗長の自由度が比較的大きくなる。

【0268】図86および図87は、それぞれ、本発明の第6の実施例の全体的な回路構成を示すブロック図のその1とその2を示すものである。

【0269】図86および図87に示す第6の実施例は、前述の第1の実施例に示したような「複数の選択線(ここでは、カラム選択線)および冗長選択線に1対1に対応してヒューズ回路および冗長選択用ヒューズ回路を設ける構成」に、図54の「複数の行ブロックにわたって配置されたカラム選択線のシフト冗長を行う場合、シフト冗長の対象となるカラム選択線のアドレスと行ブロックのアドレスの論理とを組み合わせることにより、行ブロック単位での冗長を行うことが可能になる構成」

を適用することにより、冗長の自由度を比較的大きくするようにしたものである。

【0270】上記の第6の実施例の特徴的な点は、前述の第5の実施例の場合と同じように、複数の行ブロックにわたって配置されたカラム選択線のシフト冗長を行う機能を備えた半導体記憶装置において、上記複数の行ブロックの各々に対し冗長を行うか否かを決定するためのヒューズを有する冗長行ブロック選択回路850-1～850-4（図86）および850-64～850-67（図87）と、これらの冗長行ブロック選択回路からの出力に基づき上記複数の行ブロックのアドレスの論理を生成する行アドレス論理回路860-1（図86）、860-64（図87）とを設ける構成になっていることである。上記の冗長行ブロック選択回路および行アドレス論理回路以外の主たる構成要素、例えば、冗長選択用ヒューズ回路、ヒューズ回路およびシフト制御回路は、前述の第1の実施例の構成と実質的に同じである。

【0271】さらに詳しく説明すると、上記の第6の実施例では、カラム選択線に1対1に対応して、通常選択用のヒューズをそれぞれ有する62個のヒューズ回路810-0、810-2～810-61、および810-63と、2個の強制冗長用ヒューズ回路810-2、810-62とを設けている。さらに、2本の冗長選択線にそれぞれ対応して、2個の冗長選択用ヒューズ回路810-r0、810-r1を設けている。

【0272】さらに、強制冗長用ヒューズ回路を含む複数（計64個）のヒューズ回路は、1対1対応で、前述の第1の実施例とほぼ同じ構成の複数のシフト制御回路（計64個）830-0～830-63にそれぞれ接続されている。通常選択用のヒューズ回路により生成される出力信号cfs000、cfs002～cfs061、およびcfs063と、強制冗長用ヒューズ回路により生成される出力信号cfs001、cfs062は、複数のシフト制御回路830-0～830-63にそれぞれ入力される。2個の冗長選択用ヒューズ回路810-1、810-62の出力信号cfsrj0、cfsrj1もまた、冗長選択用のシフト制御回路830-r0、830-r1にそれぞれ入力される。

【0273】図86および図87に示すような第6の実施例においても、前述の第5の実施例の場合と同じように、一つのメモリセルブロック内の複数の行ブロックにわたって配置されたカラム選択線に対しシフト冗長を行う場合に、シフト冗長の対象となるカラム選択線のアドレスに対し行ブロックのアドレスRA0、RA1の論理を組み込むことによって、複数の行ブロックにわたって駆動されるカラム選択線が、それぞれの行ブロックに対応する行ブロックのアドレスの論理を受けることになり、行ブロック単位での冗長を行うことが可能になる。

【0274】図88は、本発明の第6の実施例における冗長選択用ヒューズ回路の構成を示す回路図、図89

は、本発明の第6の実施例における強制冗長用ヒューズ回路の構成を示す回路図、そして、図90は、本発明の第6の実施例における通常選択用のヒューズ回路の構成を示す回路図である。図88～図90に示すヒューズ回路においては、選択線の“H”レベル用の電源の電源電圧としてV<sub>ii</sub>（内部電圧）が使用され、選択線の“L”レベル用の電源の電源電圧として、アース電位のV<sub>ss</sub>が使用される。

【0275】図88～図90に示す冗長選択用ヒューズ回路、強制冗長用ヒューズ回路および通常選択用のヒューズ回路の構成は、前述の第5の実施例に対し出力信号の論理が一部反転している点と、2つの冗長選択用ヒューズ回路の各々に冗長イネーブル信号sftez（図93にて後述するsfteに対応する）が入力される点を除けば、前述の第5の実施例の構成と実質的に同じである。

【0276】図88において、sttxは、例えば、電源投入時、電源が立ち上がるまでは“H”レベルであり、電源が立ち上がった後は“L”レベルになる制御信号である。ftpzは、強制冗長を行う際に“H”レベルになる制御信号である。図88に示す冗長選択用ヒューズ回路は、制御信号sttxが入力されるPチャネル型トランジスタ812rおよびNチャネル型トランジスタ814rと、制御信号ftpzが入力されるPチャネル型トランジスタ813rおよびNチャネル型トランジスタ815rと、Nチャネル型トランジスタ816rと、インバータ817rと、NANDゲート818rと、出力側のインバータ819とを備えている。ヒューズ811rを切断していない場合、Nチャネル型トランジスタ816rがオフ状態になって冗長選択用ヒューズ回路の出力信号cfsrjx（図86および図87の出力信号cfsrj0、cfsrj1に対応する）は“L”レベルになる。ヒューズ811rを切断した場合、Nチャネル型トランジスタ816rがオン状態になり、冗長イネーブル信号が“H”レベルになっているときに冗長選択用ヒューズ回路の出力信号cfsrjxは“H”レベルになる。この冗長選択用ヒューズ回路の出力信号cfsrjxのレベルは、シフト制御回路にそのまま伝えられる。

【0277】さらに、図88において、電源が立ち上がって制御信号sttxが“L”レベルになった場合、強制冗長を行わないときは、Nチャネル型トランジスタ816rがオフ状態になって冗長選択用ヒューズ回路の出力信号cfsrjxは“L”レベルになる。強制冗長を行ったときは、Nチャネル型トランジスタ816rがオン状態になってインバータ817rからの出力信号が“H”レベルになる。ここで、冗長イネーブル信号sfteが“H”レベルになっている場合のみ、NANDゲート818rの出力信号が“L”レベルになるので、冗長選択用ヒューズ回路の出力信号cfsrjxは“H”レ

ベルになる。すなわち、冗長イネーブル信号  $s f t e$  が “H” レベルになっているという条件下で強制冗長を行ったときは、冗長選択用ヒューズ回路のヒューズ  $811r$  を切断したときと同じ結果になる。

【0278】図89において、 $f t p z$  は、前述したように、強制冗長を行う際に “H” レベルになる制御信号である。図89に示す強制冗長用ヒューズ回路は、制御信号  $s t t x$  が入力されるPチャネル型トランジスタ  $812f$  およびNチャネル型トランジスタ  $814f$  と、制御信号  $f t p z$  が入力されるPチャネル型トランジスタ  $813f$  およびNチャネル型トランジスタ  $815f$  と、Nチャネル型トランジスタ  $816f$  と、2つのインバータ  $817f$ 、 $818f$  とを備えている。ここでは、ヒューズ  $811f$  を強制冗長の対象とし、このヒューズ  $811f$  を切断したように見せかけた場合、強制冗長用ヒューズ回路の出力信号  $c f s x$  (図86および図87の出力信号  $c f s 001$ 、 $c f s 062$  に対応する) は “L” レベルになる。この状態で、冗長選択線に不良がないか否かを確認することが可能である。

【0279】図90に示すヒューズ回路は、制御信号  $s t t x$  が入力されるPチャネル型トランジスタ  $812$  およびNチャネル型トランジスタ  $813$  と、Nチャネル型トランジスタ  $814$  と、2つのインバータ  $815$ 、 $816$  とを備えている。電源が立ち上がって制御信号  $s t t x$  が “L” レベルになった場合、ヒューズ  $811$  が切断されていないときは、Nチャネル型トランジスタ  $814$  がオフ状態になってヒューズ回路の出力信号  $c f s x$  (図86および図87の出力信号  $c f s 000$ 、 $c f s 002 \sim c f s 061$ 、および  $c f s 063$  に対応する) は “H” レベルになる。ヒューズ  $811$  を切断したときは、Nチャネル型トランジスタ  $816$  がオン状態になってヒューズ回路の出力信号  $c f s x$  は “L” レベルになる。

【0280】図91は、本発明の第6の実施例におけるシフト制御回路の構成を示す回路図である。図91に示すような各々のシフト制御回路は、前述の第5の実施例の場合と同じように、NANDゲートとインバータにより構成されている。

【0281】図91において、 $c f s$  は、前述のように、ヒューズ回路による生成される出力  $c f s 000 \sim c f s 063$  の任意の一つを表している。上記のシフト制御回路は、前述の第1の実施例(図6)の場合とほぼ同じ機能を有する。シフト制御回路の入力信号  $l i n$  は左隣の出力信号  $l o u t$  と接続し、シフト制御回路の他の入力信号  $u i n$  は右隣の出力信号  $u o u t$  と接続し、左端の入力信号  $l i n$  および右端の入力信号  $u i n$  には、“H”(電圧  $V i i$ ) レベルが入力される。

【0282】より詳しくいえば、図91の通常選択用のシフト制御回路の入力信号  $l i n$  の側には、NANDゲート  $831$  が設けられており、出力信号  $l o u t$  の側には、インバータ  $832$  が設けられている。また一方で、図91のシフト制御回路の入力信号  $u i n$  の側には、NANDゲート  $833$  が設けられており、出力信号  $u o u t$  の側には、インバータ  $834$  が設けられている。

【0283】インバータ  $834$  から出力される出力信号  $u o u t$  は、選択線駆動回路(第6の実施例には図示していない:例えば、第1の実施例に係る図5参照)の他方の入力信号(図5の信号  $s c u$ )として使用される。また一方で、インバータ  $832$  から出力される出力信号  $l o u t$  は、選択線駆動回路の一方の入力信号(図5の信号  $s c l$ )として使用される。これらの出力信号  $u o u t$ 、 $l o u t$  は、スイッチ部内の3方向性のスイッチ素子の動作を制御するために使用される。なお、冗長選択用のシフト制御回路  $830-r0$ 、 $830-r1$  の構成も、通常選択用のシフト制御回路の構成とほぼ同じなので、ここでは、その冗長選択用のシフト制御回路の詳細な説明を省略する。

【0284】ついで、本発明の第6の実施例において特徴的な構成要素である冗長行ブロック選択回路  $850-1 \sim 850-4$  (図86) および  $850-64 \sim 850-67$  (図87) と、行アドレス論理回路  $860-1$  (図86)、 $860-64$  (図87) の具体的な構成例について説明する。

【0285】図92は、本発明の第6の実施例に実施例における冗長行ブロック選択回路の構成を示す回路図であり、図93は、本発明の第6の実施例における行アドレス論理回路の構成を示す回路図である。これらの冗長行ブロック選択回路および行アドレス論理回路の構成は、前述の第5の実施例の構成とほぼ同じなので、ここでは、前述の第5の実施例の場合よりも上記回路の説明を簡略化することとする。

【0286】上記の第6の実施例においても、各々のメモリセルブロック内に存在する4つの行ブロック  $6r-0 \sim 6r-3$  について説明する。行ブロックのアドレス  $RA0$ 、 $RA1$  の論理がそれぞれ “0”、“0” のときに第1の行ブロック  $6r-0$  が選択され、行ブロックのアドレス  $RA0$ 、 $RA1$  の論理がそれぞれ “1”、“0” のときに第2の行ブロック  $6r-1$  が選択される。さらに、行ブロックのアドレス  $RA0$ 、 $RA1$  の論理がそれぞれ “0”、“1” のときに第3の行ブロック  $6r-2$  が選択され、行ブロックのアドレス  $RA0$ 、 $RA1$  の論理がそれぞれ “1”、“1” のときに第4の行ブロック  $6r-3$  が選択される。

【0287】図92に示す各々の冗長行ブロック選択回路 ( $850-1 \sim 850-4$ 、 $850-64 \sim 850-67$  のいずれか一つ) は、制御信号  $s t t x$  が入力されるPチャネル型トランジスタ  $852$  およびNチャネル型トランジスタ  $853$  と、Nチャネル型トランジスタ  $854$  と、2つのインバータ  $855$ 、 $856$  とを備えている。電源が立ち上がって制御信号  $s t t x$  が “L” レベ

ルになった場合、ヒューズ851が切断されていないときは、Nチャネル型トランジスタ854がオフ状態になって出力信号f0～f3は“H”レベルになる。ヒューズ851を切断したときは、Nチャネル型トランジスタ854がオン状態になって出力信号f0～f3は“L”レベルになる。

【0288】図93に示す行アドレス論理回路860-1または860-64は、4つの行ブロックのアドレスRA0、RA1の2種類の論理と、これらのアドレスRA0、RA1の論理をインバータ861、862によりそれぞれ反転した2種類の論理から、2種類の論理を選択して得られる4通りの組み合わせをそれぞれ入力信号とする4つのNORゲート863、865、867および869を備えている。この場合、行ブロックのアドレスRA0、RA1の論理に基づいて選択される行ブロックに対応して、4つのNORゲート863、865、867および869のいずれか一つの出力信号が“H”レベルになる。

【0289】さらに、これらのNORゲート863、865、867および869の出力側に、4つのNANDゲート864、866、868および870がそれぞれ設けられている。これらのNANDゲート864、866、868および870の各々には、NORゲート863、865、867および869からそれぞれ出力される出力信号の一つと、上記の冗長行ブロック選択回路からの出力信号f0～f3の一つが入力される。さらに、上記のNANDゲート864、866、868および870の出力側に、NANDゲート871が設けられている。選択された行ブロックに対しシフト冗長を行う場合、この行ブロックに対応する冗長行ブロック選択回路内のヒューズを切断しないようにするので、当該冗長行ブロック選択回路の出力信号(f0～f3のいずれか一つ)が“H”レベルになる。このため、当該冗長行ブロック選択回路からの“H”レベルの出力信号と、選択された行ブロックに対応するNANDゲートの“H”レベルの出力信号とを入力信号に持つNORゲートの出力信号が、“L”レベルになる。この“L”レベルの出力信号は、NANDゲート871を通して、“H”レベルの出力信号として出力される。

【0290】さらに、上記NANDゲート871の出力側に、選択された行ブロックに対しシフト冗長を行うべきか否かに関するデータを保持するためのデータラッチ部を含む冗長行ブロックデータ保持回路872が設けられている。この冗長行ブロックデータ保持回路872は、NANDゲート871の出力信号のレベルを反転するインバータ874と、サンプリングパルスやNANDゲート871の出力信号やインバータ874の出力信号を入力信号に持つ2つのNANDゲート873、875と、2つのNANDゲート876、877からなるデータラッチ部とを備えている。このデータラッチ部から、

選択された行ブロックに対しシフト冗長を行うことを可能にする冗長イネーブル信号s f t eが出力される。

【0291】まず、第1の行ブロック6r-0に対してのみシフト冗長を行わず、その他の行ブロックに対してシフト冗長を行う場合には、出力信号f0を出力する冗長行ブロック選択回路内のヒューズを切断して出力信号f0を“L”レベルにする。その他の冗長行ブロック選択回路のヒューズは切断しない(出力信号f1～f3は“H”レベルになる)。

【0292】つぎに、第1の行ブロック6r-0が選択されると(RA0=“0”、RA1=“0”)、第1番目のNORゲート863の出力信号は“H”レベルになり、第1番目のNANDゲート864の出力信号は“H”レベルになる(ノードn00が“H”レベル)。その他のNORゲートの出力信号は全て“L”レベルになるので、第2番目～第4番目NANDゲートの出力信号は全て“H”レベルになる(ノードn01～n03が“H”レベル)。この結果、NANDゲート871の入力信号が全て“H”レベルになるので、NANDゲート871は“L”レベルの出力信号を出力する(ノードn04が“L”レベル)。ノードn04の“L”レベルの信号は、冗長行ブロックデータ保持回路を通過し、同じ“L”レベルの冗長イネーブル信号s f t eとして出力される。冗長イネーブル信号s f t eが“L”レベルのときは、インバータ856を通過した冗長選択用ヒューズ回路の出力信号は、冗長選択用ヒューズ回路のヒューズの状態によらず“L”レベルになり、選択された第1の行ブロック6r-0ではシフト冗長を行わない。

【0293】さらに、第3の行ブロック6r-2が選択されると(RA0=“0”、RA1=“1”)、第3番目のNORゲート867の出力信号は“H”レベルになるので、第3番目のNANDゲート868の出力信号は“L”レベルになる。また一方で、その他のNORゲートの出力信号は全て“L”レベルになるので、第1番目のNANDゲート864、第2番目のNANDゲート866、および第4番目のNANDゲート870の出力信号は全て“H”レベルになる。すなわち、ノードn02が“L”レベルでノードn00、n01およびn03が“H”レベルなので、NANDゲート871は“H”レベルの出力信号を出力し(n04が“H”レベル)、冗長イネーブル信号s f t eは“H”レベルになる。冗長イネーブル信号s f t eが“H”レベルのときは、冗長選択用ヒューズ回路のヒューズの状態に応じて冗長選択線用ヒューズ回路の出力信号のレベルが決まるので、冗長選択用ヒューズ回路のヒューズを切断することにより、選択された第3の行ブロック6r-2に対するシフト冗長を行うことができる。

【0294】同様に、第2の行ブロックおよび第3の行ブロックに対しシフト冗長を行わず、第1の行ブロックおよび第4の行ブロックに対しシフト冗長を行うこ

ともできる。この場合は、出力信号 f 1、f 2 を出力する冗長行ブロック選択回路のヒューズをそれぞれ切断して出力信号 f 1、f 2 を“L”レベルにし、出力信号 f 0、f 3 を出力する冗長行ブロック選択回路のヒューズはそれぞれ切断せずに出力信号 f 0 と f 3 を“H”レベルにする。

【0295】ここで、第2の行ブロックまたは第3の行ブロックが選択されたときは、第1番目～第4番目のNANDゲート864、866、868および870の出力信号が全て“H”レベルになるので（n00～n03が“H”レベル）、NANDゲート871は“L”レベルの出力信号を出力し（n04が“L”レベル）、冗長イネーブル信号 s f t e も“L”レベルになり、選択された行ブロックではシフト冗長を行わない。

【0296】さらに、第1の行ブロックまたは第4の行ブロックが選択されたときは、第1番目のNANDゲート864または第4番目のNANDゲート870のいずれか一方が“L”レベルの出力信号を出力するので、NANDゲート871は“H”レベルの出力信号を出力する（n04が“H”レベル）。それゆえに、冗長イネーブル信号 s f t e も“H”レベルになり、選択された行ブロックにてシフト冗長を行うことができる。

【0297】図93に示すノードn01～n03を“H”レベルのままにし、ノードn00を“L”レベルのままにした状態で、ノードn04を“H”レベルにしておきたい場合、すなわち、シフト冗長を行いたい場合、ノードn00が一時的に“H”レベルになってしまうと、ノードn04もその影響を受けて一時的に“L”レベルになってしまう。

【0298】冗長行ブロックデータ保持回路872は、このような事態になるのを防止するために設けられたものである。ここでは、サンプリングパルスの立ち上りにより、ノードn00が一時的に“H”レベルになる前の状態をラッチし、このようにしてラッチした状態を冗長イネーブル信号 s f t e として出力するようにしている。このときの冗長イネーブル信号 s f t e のレベルは、前述したように、ノードn04のレベルと同じものになり、ノードn04が“H”レベルであれば、冗長イネーブル信号 s f t e も“H”レベルになり、ノードn04が“L”レベルであれば、冗長イネーブル信号 s f t e も“L”レベルになる。それゆえに、上記の第6の実施例によれば、特定の行ブロックを選択するような行ブロックのアドレスの信号が入ったときにはシフト冗長を行い、それ以外の行ブロックのアドレスの信号が入ったときにはシフト冗長を行わないといったような選択が可能になり、前述の第5の実施例の場合と同様に、冗長の自由度が比較的大きくなる。

【0299】

【発明の効果】以上説明したように、本発明の半導体記憶装置によれば、第1に、複数の選択線内の2本の選択

線に欠陥が発生した場合に、複数の選択線の中で一方の端に位置する第1の冗長選択線の方向に、1ビット分だけ複数のデコード信号線をシフトさせると共に、上記選択線の中で他方の端に位置する第2の冗長選択線の方向に、1ビット分だけ複数のデコード信号線をシフトさせるようにスイッチの切替動作を制御しているので、選択線同士のショート等が存在して2本以上の欠陥選択線が生じた場合に、一方の冗長選択線の方向、および他方の冗長選択線の方向にシフトさせることにより、低消費電力および高速アクセスによる2ビットのシフト冗長を行って欠陥選択線を効率良く救済することが可能になる。

【0300】さらに、本発明の半導体記憶装置によれば、第2に、複数の選択線内の1本の選択線に欠陥が発生した場合に、複数の選択線の中でいずれか一方の端に位置する冗長選択線の方向に、1ビット分だけ複数のデコード信号線をシフトさせるようにスイッチ素子の切替動作を制御しているので、1本の欠陥選択線が生じた場合には、従来のシフト冗長方式と同じように、2本の冗長選択線のいずれか一方の方向にシフトさせることにより、1ビットのシフト冗長を行って欠陥選択線を救済することも可能である。

【0301】さらに、本発明の半導体記憶装置によれば、第3に、シフト冗長ヒューズ回路部から、ヒューズが切断されているか否かを示す直流電圧のレベルにて出力されるようになっているので、信号処理の高速化を必要とせず、半導体チップ上の回路レイアウトが比較的簡単になり、半導体チップの占有面積の節減が図れる。

【0302】さらに、本発明の半導体記憶装置によれば、第4に、シフト冗長制御回路部が、ヒューズ回路からの出力結果を受けてシフト冗長を行うためのシフト制御信号を出力するNANDゲートもしくはNORゲートと、インバータにより構成することができるので、簡単な回路構成によりシフト冗長制御回路を構成することが可能になる。

【0303】さらに、本発明の半導体記憶装置によれば、第5に、複数の選択線に接続されるスイッチ素子の各々が、左方向へのシフト冗長を行うモード、左方向へのシフト冗長を行うモードまたはシフト冗長を行わないモードを選択することが可能な3方向性のスイッチ素子により構成されるので、簡単な回路構成によりスイッチ素子を構成することが可能になる。

【0304】さらに、本発明の半導体記憶装置によれば、第6に、予め定められた選択線に対応するヒューズを切断したように見せかける強制冗長ヒューズ回路を設けているので、冗長選択線を切断する前に冗長選択線に不良がないか否かを確認することができるようになり、冗長選択線に対する隣の選択線の影響等を簡単に試験することが可能になる。

【0305】さらに、本発明の半導体記憶装置によれば、第7に、複数のメモリセルのブロック内で、冗長判

定用のヒューズ回路の出力レベルを評価して一部のヒューズが切断されているか否かを判定することにより、シフト冗長処理がなされているか否かを検出するようにしている。半導体記憶装置をチップ上に実装してパッケージ等を製造した後でも、シフト冗長処理がなされたブロックを容易に検出することが可能になる。

【0306】さらに、本発明の半導体記憶装置によれば、第8に、シフト冗長処理を行った場合に、複数のメモリセルのブロックの順番が変わらないように、各々のブロック内のメモリセルを選択してデータの書き込みまたは読み出しを行うようにしている。

【0307】さらに、本発明の半導体記憶装置によれば、第9に、半導体チップ内で、複数の選択線と複数のヒューズとが同一のピッチにてレイアウトが行われるようにしている。シフト冗長処理がなされている選択線を一目で確認することができるようになる。

【0308】さらに、本発明の半導体記憶装置によれば、第10に、複数の選択線内の2本の選択線に欠陥が発生した場合に、これらの選択線の総数よりも少ない複数のヒューズの組み合わせにより、2本の欠陥選択線の各々に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するようにしている。半導体チップ上のヒューズの実装数が減少し、半導体チップ上のヒューズの占有面積の節減が図れる。

【0309】さらに、本発明の半導体記憶装置によれば、第11に、複数の選択線内の1本の選択線に欠陥が発生した場合に、これらの選択線の総数よりも少ない複数のヒューズの組み合わせにより、1本の欠陥選択線に対応するヒューズのアドレスを指定してヒューズデコード信号を生成するようにしている。従来よりも少ない数のヒューズを使用して1ビットのシフト冗長を行い、欠陥選択線を救済することも可能である。

【0310】さらに、本発明の半導体記憶装置によれば、第12に、半導体チップ内で隣接する2つのセルアレイに対し通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させ、それぞれのセルアレイに対応するように冗長選択用ヒューズ回路を独立に設けることにより、隣接する2つのセルアレイの選択線の総数に対し2ビットまたは1ビットのシフト冗長を行うことができるので、冗長選択用のヒューズに対する冗長の自由度を大きくすることが可能になる。

【0311】さらに、本発明の半導体記憶装置によれば、第13に、半導体チップ内で隣接する2つのセルアレイに対し通常選択用のヒューズ回路および強制冗長用ヒューズ回路を共有させ、それぞれのセルアレイに対応するように冗長選択用ヒューズ回路を独立に設けているので、上記の隣接するセルアレイのいずれか一方の選択線に対し、2ビットまたは1ビットのシフト冗長を行うと共に、上記セルアレイの両方の選択線に対し、2ビットまたは1ビットのシフト冗長を行うこともできるよう

になり、各セルアレイ毎にシフト冗長を行う方式に比べてシフト冗長の自由度を大きくすることが可能になる。

【0312】さらに、本発明の半導体記憶装置によれば、第14に、複数の行ブロックにわたって配置されたカラム選択線に対しシフト冗長を行う場合に、シフト冗長の対象となるカラム選択線のアドレスに対し行ブロックのアドレスの論理を組み込むことによって、上記カラム選択線がそれぞれの行ブロックに対応する行ブロックのアドレスの論理を受けることになり、行ブロック単位でのシフト冗長を行うことで冗長の自由度を比較的大きくすることが可能になる。

【図面の簡単な説明】

【図1】本発明の原理構成を示すブロック図である。

【図2】本発明の基本原理を説明するための模式図である。

【図3】本発明のシフト冗長回路の基本概念を示すブロック図である。

【図4】図3の各部の信号レベルを示す図である。

【図5】本発明の第1の実施例における選択線駆動回路の構成を示す回路図である。

【図6】本発明の第1の実施例におけるシフト制御回路の構成を示す回路図である。

【図7】本発明の第1の実施例におけるデコード回路の構成を示す回路図である。

【図8】本発明の第1の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図9】本発明の第1の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図10】本発明の第1の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図11】本発明の第1の実施例における各回路間のつながりを示す回路図（その1）である。

【図12】本発明の第1の実施例における各回路間のつながりを示す回路図（その2）である。

【図13】本発明の第1の実施例における各回路間のつながりを示す回路図（その3）である。

【図14】本発明の第1の実施例における各回路間のつながりを示す回路図（その4）である。

【図15】本発明の第1の実施例における各回路間のつながりを示す回路図（その5）である。

【図16】本発明の第1の実施例における各回路間のつながりを示す回路図（その6）である。

【図17】本発明の第1の実施例におけるシフト制御回路の回路レイアウトを示す図である。

【図18】本発明の第1の実施例におけるヒューズ回路の回路レイアウトを示す図である。

【図19】本発明の第2の実施例における選択線駆動回路の構成を示す回路図である。

【図20】本発明の第2の実施例における通常選択用のシフト制御回路の構成を示す回路図である。

【図21】本発明の第2の実施例における左端用冗長シフト制御回路の構成を示す回路図である。

【図22】本発明の第2の実施例における右端用冗長シフト制御回路の構成を示す回路図である。

【図23】本発明の第2の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図24】本発明の第2の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図25】本発明の第2の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図26】本発明の第2の実施例におけるデコーダ回路の構成を示す回路図である。

【図27】図19の選択線駆動回路の動作を説明するためのタイミングチャートである。

【図28】本発明の第2の実施例における各回路間のつながりを示す回路図(その1)である。

【図29】本発明の第2の実施例における各回路間のつながりを示す回路図(その2)である。

【図30】本発明の第2の実施例における各回路間のつながりを示す回路図(その3)である。

【図31】本発明の第2の実施例における各回路間のつながりを示す回路図(その4)である。

【図32】本発明の第2の実施例における各回路間のつながりを示す回路図(その5)である。

【図33】本発明の第2の実施例における各回路間のつながりを示す回路図(その6)である。

【図34】本発明の第2の実施例におけるシフト制御回路の回路レイアウトを示す図である。

【図35】本発明の第2の実施例におけるヒューズ回路の回路レイアウトを示す図である。

【図36】本発明の実施例に適用される冗長ブロック検出回路の一構成例を示す回路図である。

【図37】本発明の第3の実施例の全体的な回路構成を示すブロック図(その1)である。

【図38】本発明の第3の実施例の全体的な回路構成を示すブロック図(その2)である。

【図39】本発明の第3の実施例の全体的な回路構成を示すブロック図(その3)である。

【図40】本発明の第3の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図41】本発明の第3の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図42】本発明の第3の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図43】本発明の第3の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【図44】本発明の第3の実施例におけるヒューズプリデコーダ回路の構成を示す回路図である。

【図45】本発明の第3の実施例におけるヒューズデコーダ回路の構成を示す回路図である。

【図46】選択線に欠陥がない場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図である。

【図47】選択線に欠陥がない場合における図44のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図である。

【図48】2シフト冗長を実行した場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図である。

【図49】2シフト冗長を実行した場合における図44のヒューズプリデコーダ回路のシミュレーション動作を示す電圧波形図である。

【図50】本発明のシフト冗長方式の半導体装置が適用される半導体チップの概略的構成を示す図である。

【図51】各々のセルアレイに対し独立にヒューズ回路、強制冗長用ヒューズ回路および冗長選択用ヒューズ回路を設ける場合の図50のA部の構成を拡大して示す図である。

【図52】メモリセルブロック内の複数の行ブロックに対し一様にカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図である。

【図53】隣接するセルアレイに対しヒューズ回路および強制冗長用ヒューズ回路を共有させる場合の図50のA部の構成を拡大して示す図である。

【図54】メモリセルブロック内の各々のブロック単位でカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図である。

【図55】本発明の第4の実施例の全体的な回路構成を示すブロック図(その1)である。

【図56】本発明の第4の実施例の全体的な回路構成を示すブロック図(その2)である。

【図57】本発明の第4の実施例の全体的な回路構成を示すブロック図(その3)である。

【図58】本発明の第4の実施例の全体的な回路構成を示すブロック図(その4)である。

【図59】本発明の第4の実施例の全体的な回路構成を示すブロック図(その5)である。

【図60】本発明の第4の実施例の全体的な回路構成を示すブロック図(その6)である。

【図61】本発明の第4の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図62】本発明の第4の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図63】本発明の第4の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図64】本発明の第4の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図である。

【図65】本発明の第4の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【図66】本発明の第4の実施例における第1のヒュー

ズプリデコード回路の構成を示す回路図である。

【図67】本発明の第4の実施例における第2のヒューズプリデコード回路の構成を示す回路図である。

【図68】本発明の第4の実施例におけるヒューズデコード回路の構成を示す回路図である。

【図69】本発明の第4の実施例におけるシフト制御回路の構成を示す回路図である。

【図70】本発明の第5の実施例の全体的な回路構成を示すブロック図（その1）である。

【図71】本発明の第5の実施例の全体的な回路構成を示すブロック図（その2）である。

【図72】本発明の第5の実施例の全体的な回路構成を示すブロック図（その3）である。

【図73】本発明の第5の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図74】本発明の第5の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図75】本発明の第5の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図76】本発明の第5の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図である。

【図77】本発明の第5の実施例におけるヒューズ信号生成回路の構成を示す回路図である。

【図78】本発明の第5の実施例における第1のヒューズプリデコード回路の構成を示す回路図である。

【図79】本発明の第5の実施例における第2のヒューズプリデコード回路の構成を示す回路図である。

【図80】本発明の第5の実施例におけるヒューズデコード回路の構成を示す回路図である。

【図81】本発明の第5の実施例におけるシフト制御回路の構成を示す回路図である。

【図82】本発明の第5の実施例にて各々のメモリセルブロック内に存在する4つの行ブロックの状態の一例を示す図である。

【図83】本発明の第5の実施例における冗長行ブロック選択回路の構成を示す回路図である。

【図84】本発明の第5の実施例における行アドレス論理回路の構成を示す回路図である。

【図85】図84の行アドレス論理回路の動作を説明するためのタイミングチャートである。

【図86】本発明の第6の実施例の全体的な回路構成を示すブロック図（その1）である。

【図87】本発明の第6の実施例の全体的な回路構成を示すブロック図（その2）である。

【図88】本発明の第6の実施例における冗長選択用ヒューズ回路の構成を示す回路図である。

【図89】本発明の第6の実施例における強制冗長用ヒューズ回路の構成を示す回路図である。

【図90】本発明の第6の実施例における通常選択用のヒューズ回路の構成を示す回路図である。

【図91】本発明の第6の実施例におけるシフト制御回路の構成を示す回路図である。

【図92】本発明の第6の実施例における冗長行ブロック選択回路の構成を示す回路図である。

【図93】本発明の第6の実施例における行アドレス論理回路の構成を示す回路図である。

【図94】一般の冗長機能を備えた半導体記憶装置の構成を示すブロック図である。

#### 【符号の説明】

- 1…シフト冗長回路
- 2…スイッチ部
- 2-1、2-2…スイッチ部
- 3…シフト冗長制御回路部
- 3-1、3-3…NANDゲート
- 3-2、3-4…インバータ
- 4…シフト冗長ヒューズ回路部
- 5…デコード回路
- 6…半導体チップ
- 6-0…セルアレイNo. 0
- 6-1…セルアレイNo. 1
- 6r-0~6r-3…複数の行ブロック
- 7-0…列デコードNo. 0
- 7-1…列デコードNo. 1
- 7-2…メインワードデコーダ
- 8-0…セルアレイNo. 0側のヒューズ回路および強制冗長用ヒューズ回路
- 8-1…セルアレイNo. 1側のヒューズ回路および強制冗長用ヒューズ回路
- 8c…共有のヒューズ回路および強制冗長用ヒューズ回路
- 8j-0…セルアレイNo. 0側の冗長選択用ヒューズ回路
- 8j-1…セルアレイNo. 1側の冗長選択用ヒューズ回路
- 10…インバータ
- 11…NORゲート
- 12、14および16…インバータ
- 13、15および17…トランスファゲート
- 18…Pチャネル型トランジスタ
- 10a~12a…Pチャネル型トランジスタ
- 13a~18a…Nチャネル型トランジスタ
- 19a、20a…Pチャネル型トランジスタ
- 21a、22a…Nチャネル型トランジスタ
- 23a…Pチャネル型トランジスタ
- 24a…Nチャネル型トランジスタ
- 25a、26a…Pチャネル型トランジスタ
- 27a、28a…Nチャネル型トランジスタ
- 30、32…NANDゲート
- 31、33…インバータ
- 30a、31a…Pチャネル型トランジスタ

32a、33a…Nチャネル型トランジスタ	601-3～601-7、601-9～601-13…
34a、35a…インバータ	ヒューズ回路
36a、37a…Nチャネル型トランジスタ	602-1、602-14…冗長選択用ヒューズ回路
38a、39a…Pチャネル型トランジスタ	610-1、610-14…冗長選択用ヒューズ信号増
40…ヒューズ	幅回路
41…Pチャネル型トランジスタ	610-2～610-13…ヒューズ信号生成回路
42、44…Nチャネル型トランジスタ	612、613…インバータ
43、45…インバータ	620-1～620-24…ヒューズアプリデコーダ回路
40a…ヒューズ	(セルアレインo. 0側)
41a、44a…Pチャネル型トランジスタ	621-1～621-24…ヒューズアプリデコーダ回路
42a、43aおよび45a…Nチャネル型トランジスタ	(セルアレインo. 1側)
40b…ヒューズ	622、623…NORゲート
41b…Pチャネル型トランジスタ	630-1～630-m…ヒューズデコーダ回路(セル
42b、43b…Nチャネル型トランジスタ	アレインo. 0側)
44b、45b…インバータ	631-1～631-m…ヒューズデコーダ回路(セル
50～53…インバータ	アレインo. 1側)
52-1～52-64…選択線デコーダ回路	632～634…NANDゲート
54～61…Pチャネル型トランジスタ	640-1～640-m+2…シフト制御回路(セルア
60-1～60-64…ヒューズ回路	レイノ. 0側)
60r1、60r2…冗長選択用ヒューズ回路	641-1～641-m+2…シフト制御回路(セルア
62、63…Nチャネル型トランジスタ	レイノ. 1側)
62-1～62-64…ヒューズ回路	642、644…NORゲート
62r1、62r2…冗長選択用ヒューズ回路	543～645…インバータ
64～67…インバータ	700…列デコーダ
68～75…Pチャネル型トランジスタ	701-1、701-14…冗長選択用ヒューズ回路
70-1～70-64…シフト制御回路	701-2、701-8…強制冗長用ヒューズ回路
70r1、70r2…冗長選択用シフト制御回路	701-3～701-7、701-9～701-13…
72-1～72-64…シフト制御回路	ヒューズ回路
72r1、72r2…冗長選択用シフト制御回路	710-1、710-14…冗長選択用ヒューズ信号増
80-1～80-64…選択線駆動回路	幅回路
80r1、80r2…冗長選択線駆動回路	710-2～710-13…ヒューズ信号生成回路
82-1～82-64…選択線駆動回路	711、712…インバータ
82r1、82r2…冗長選択線駆動回路	720…ディレイ回路
90a、91a…Nチャネル型トランジスタ	730-1～730-24…ヒューズアプリデコーダ回路
500-1、500-14…冗長選択用ヒューズ回路	731、732…NANDゲート
500-2、500-8…強制冗長用ヒューズ回路	740…冗長判定回路
500-3～500-7、500-9～500-13…	750-1～750-m…ヒューズデコーダ回路
ヒューズ回路	751～753…NORゲート
510-1～510-12…ヒューズ信号生成回路	760-1～760-m+2…シフト制御回路
511、513…NANDゲート	761、763…NANDゲート
512…インバータ	762、764…インバータ
520-1～520-24…ヒューズアプリデコーダ回路	770-1～770-4、および770-14～770
521…NANDゲート	-17…冗長行ブロック選択回路
530-1～530-m…ヒューズデコーダ回路	780-1、780-14…行アドレス論理回路
531～533…NORゲート	792…冗長行ブロックデータ保持回路
540-1～540-m+2…シフト制御回路	800…行デコーダ
600…メモリセル	810-r0、801-r1…冗長選択用ヒューズ回路
601-1、601-14…冗長選択用ヒューズ回路	810-1、810-62…強制冗長用ヒューズ回路
601-2、601-8…強制冗長用ヒューズ回路	810-0、810-2～810-61、および810
	-63…ヒューズ回路

820…ディレイ回路  
 830-0～830-63…シフト制御回路  
 831、833…NANDゲート  
 832、834…インバータ  
 840…冗長判定回路  
 850-1～850-4、および850-64～850-67…冗長行ブロック選択回路

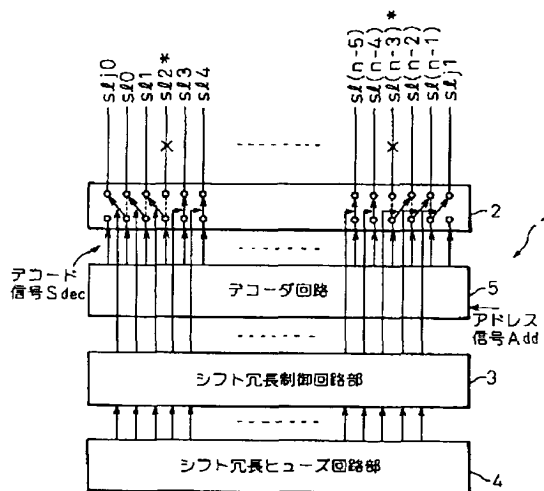
860-1、860-64…行アドレス論理回路  
 872…冗長行ブロックデータ保持回路  
 $s10 \sim s1(n-1)$ …選択線  
 $s1j0$ 、 $s1j1$ …冗長選択線  
 $c10 \sim c163$ …選択線  
 $c1j0$ 、 $c1j1$ …冗長選択線

【図1】

【図2】

図 1

本発明の原理構成を示すブロック図

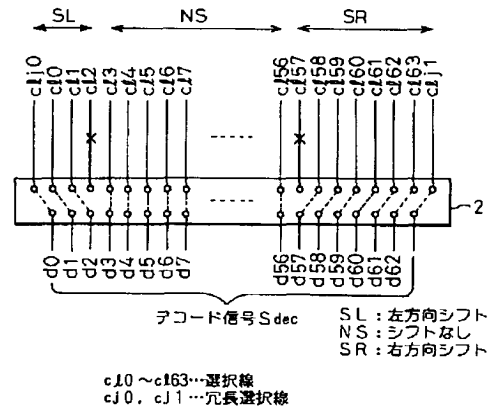


\*注)  
 例えば、選択線  $SL2$  および  $SL(n-3)$   
 に欠陥が生じたものとする

1…シフト冗長回路  
 2…スイッチ部  
 $s10 \sim s1(n-1)$ …選択線  
 $s1j0$ 、 $s1j1$ …冗長選択線

図 2

本発明の基本原理を説明するための模式図



$c10 \sim c163$ …選択線  
 $c1j0$ 、 $c1j1$ …冗長選択線

【図6】

【図8】

図 6

本発明の第1の実施例におけるシフト制御回路の構成を示す回路図

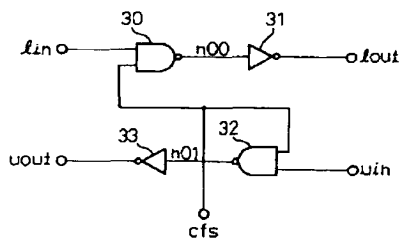
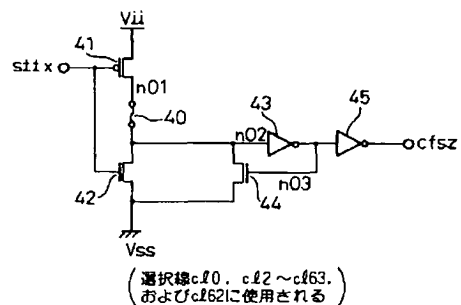


図 8

本発明の第1の実施例における通常選択用のヒューズ回路の構成を示す回路図



(選択線  $c10$ 、 $c12 \sim c163$ 、  
 および  $c162$  に使用される)

**4**

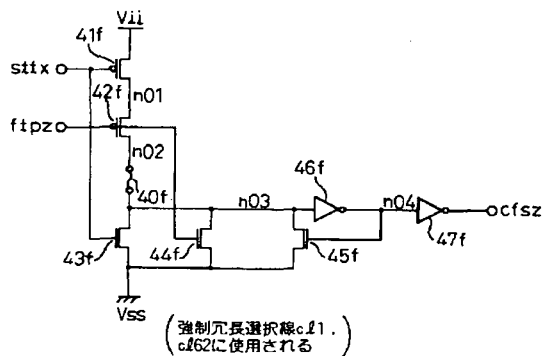
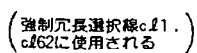
本発明のシフト冗長回路の基本概念を示すブロック図



【图 10】

 10

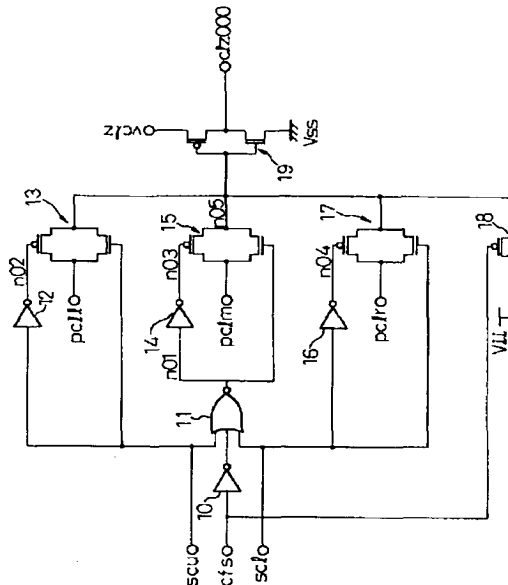
本発明の第１の実施例における強制冗長用ヒューズ回路の構成を示す回路図



【図5】

図 5

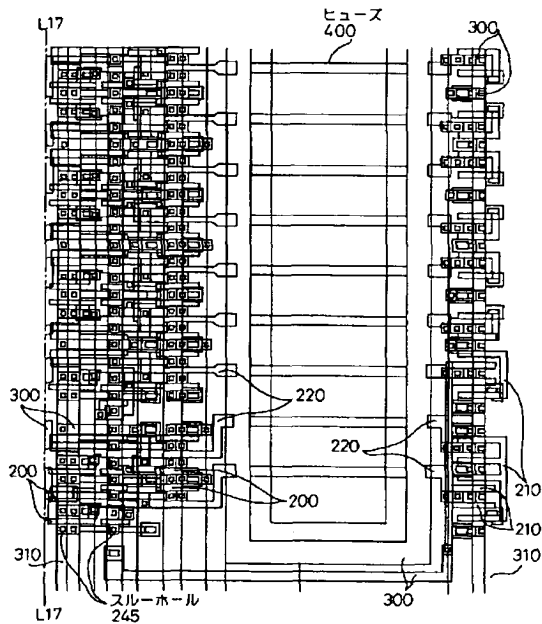
本発明の第1の実施例における選択線駆動回路の構成を示す回路図



【図18】

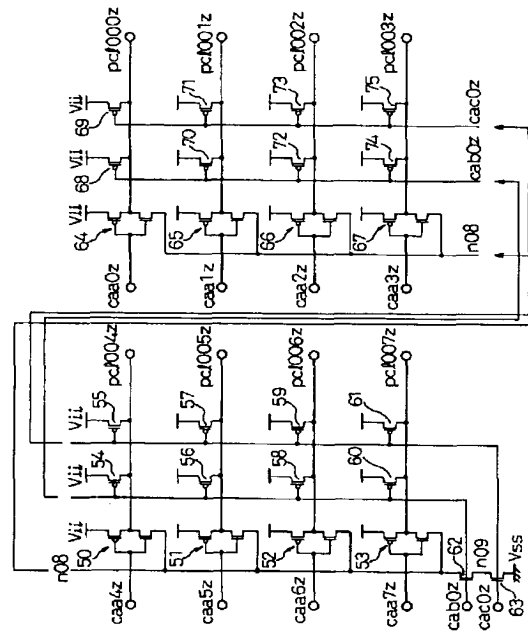
図 18

本発明の第1の実施例におけるヒューズ回路の回路レイアウトを示す図



【図7】

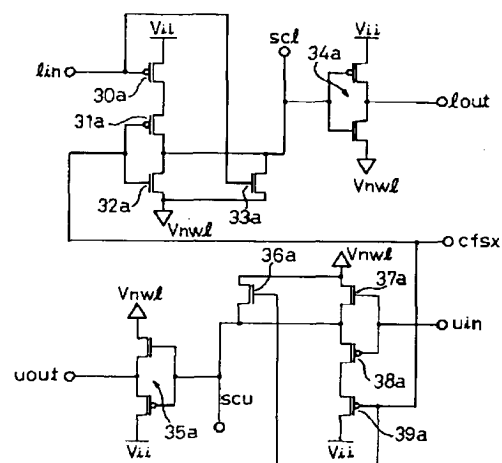
図 7 本発明の第1の実施例におけるデコーダ回路の構成を示す回路図



【図20】

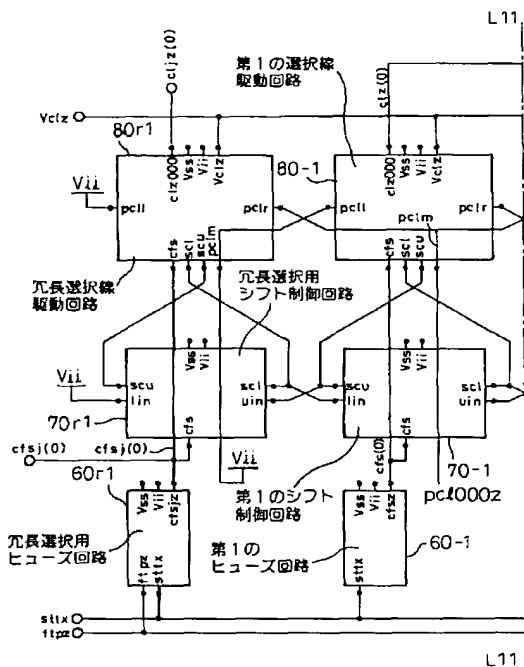
図 20

本発明の第2の実施例における通常選択用のシフト制御回路の構成を示す回路図



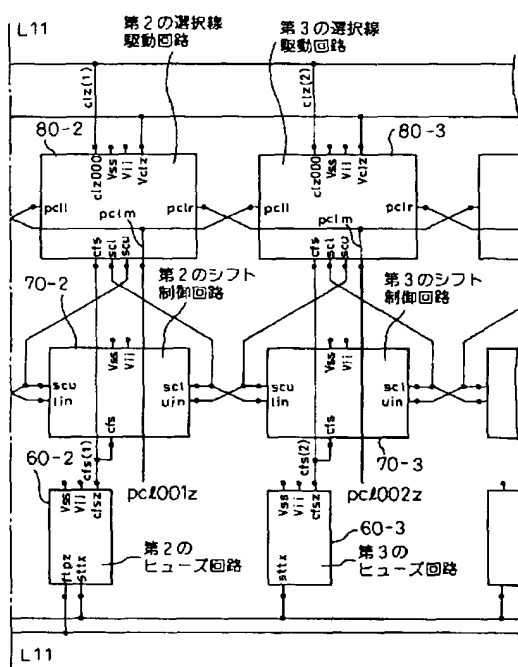
【例 11】

図 11 本発明の第 1 の実施例における各回路間のつながりを示す回路図 (その 1)



【図12】

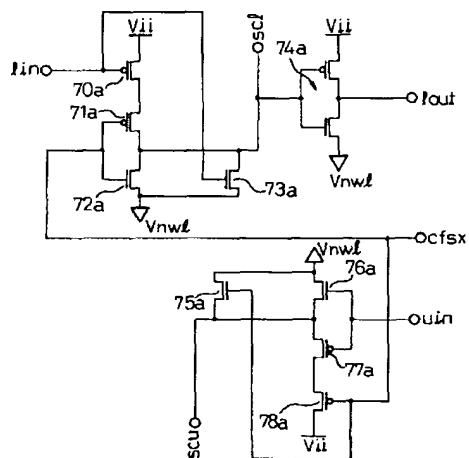
図 12 本発明の第 1 の実施例における各回路間のつながりを示す回路図 (その 2)



【图 21】

**21**

本発明の第２の実施例における左端用冗長シフト制御回路の構成を示す回路図



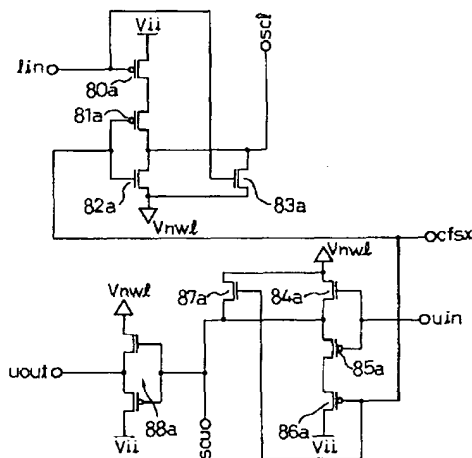
【图 2 2】

**Figure 22**

Percentage of the population aged 15 and over who are illiterate, 1950-1990

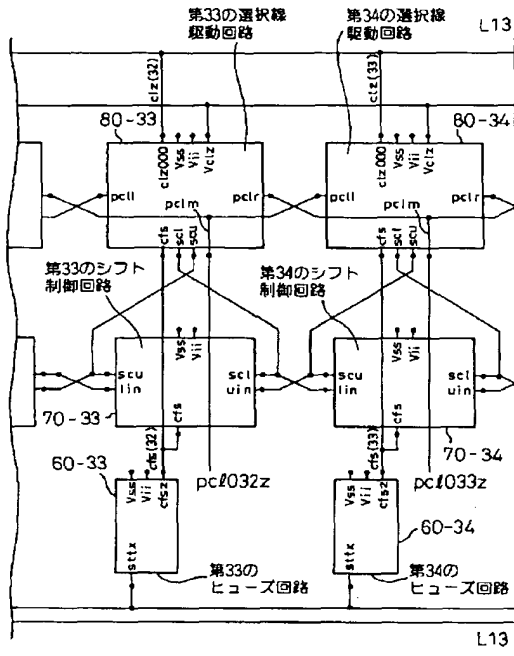
Source: World Bank, *World Development Indicators*, 1992.

本発明の第２の実施例における右端用冗長シフト制御回路の構成を示す回路図



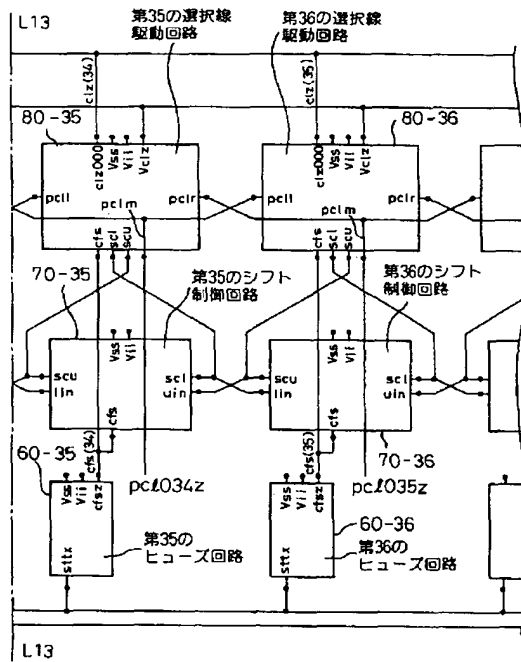
【図13】

図13 本発明の第1の実施例における各回路間のつながりを示す回路図(その3)



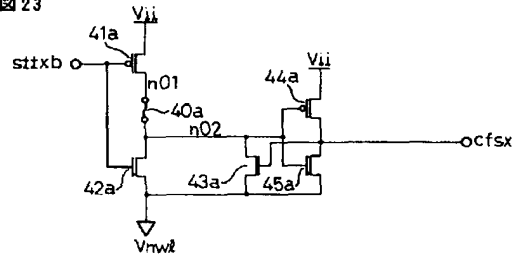
【図14】

図14 本発明の第1の実施例における各回路間のつながりを示す回路図(その4)



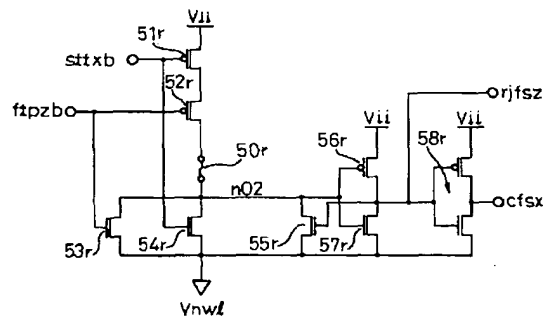
【図23】

図23 本発明の第2の実施例における通常選択用のヒューズ回路の構成を示す回路図



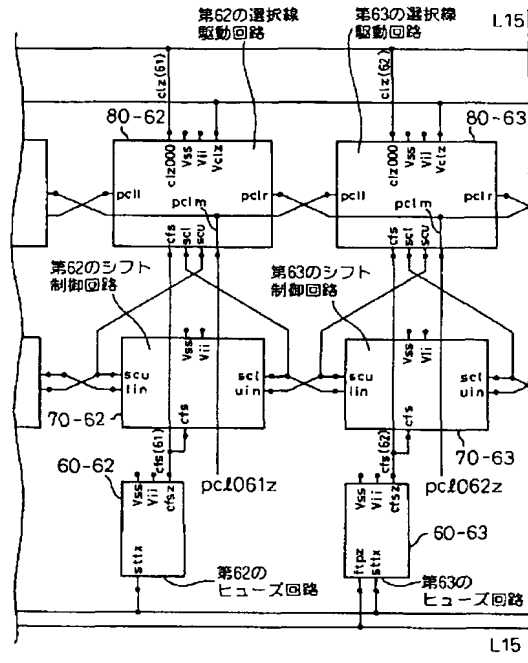
【図24】

図24 本発明の第2の実施例における冗長選択用ヒューズ回路の構成を示す回路図



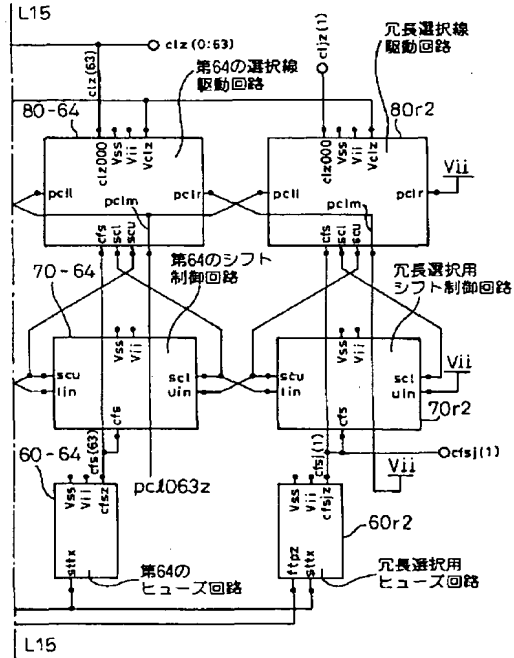
【图 15】

図 15 本発明の第 1 の実施例における各回路間のつながりを示す回路図（その 5）



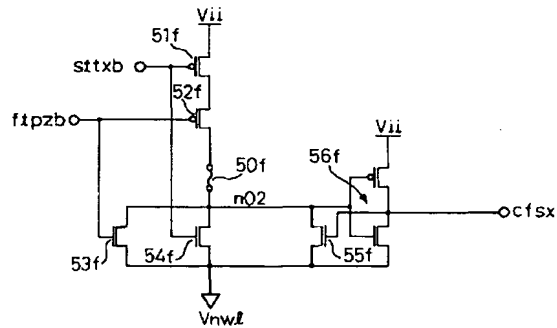
【例 16】

図 16 本発明の第 1 の実施例における各回路間のつながりを示す回路図 (その 6)



【図25】

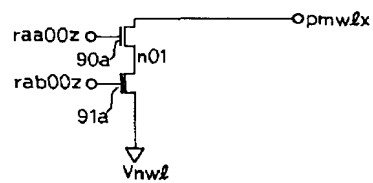
図 25  
本発明の第 2 の実施例における強制冗長用ヒューズ回路の構成を示す回路図



【图 26】

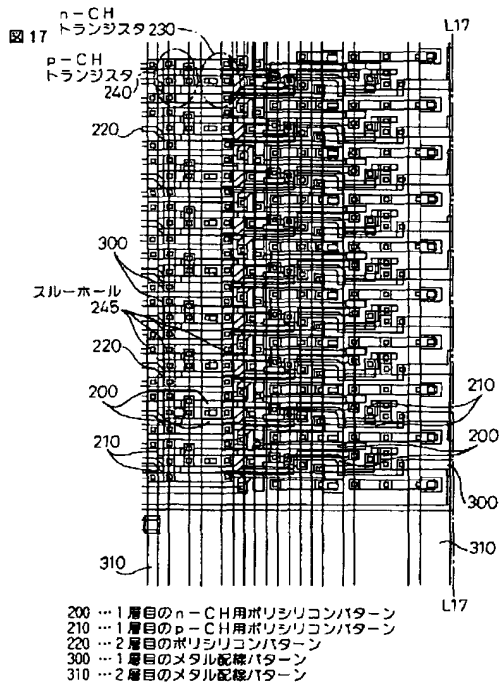
図 26

本発明の第 2 の実施例におけるアコダ回路の構成を示す回路図



【図17】

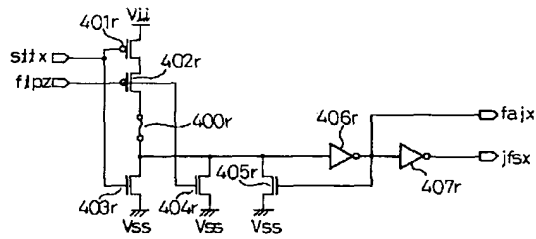
図17 本発明の第1の実施例におけるシフト制御回路の回路レイアウトを示す図



【図40】

図40

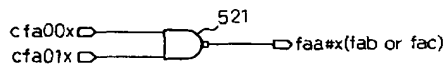
本発明の第3の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図44】

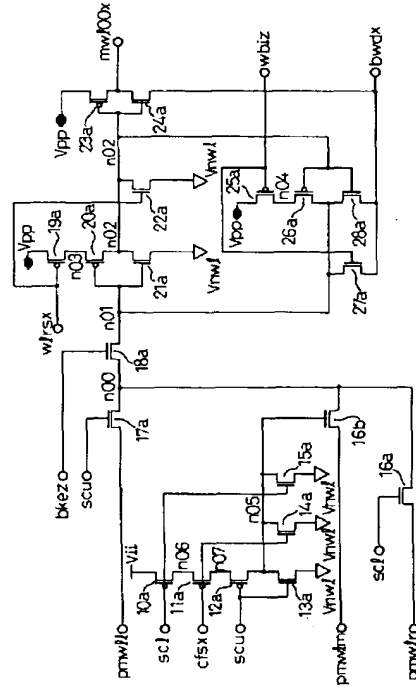
図44

本発明の第3の実施例におけるヒューズアリテコード回路の構成を示す回路図



【図19】

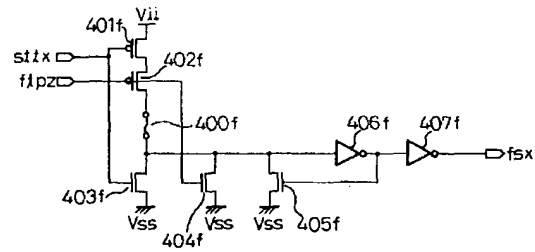
図19 本発明の第2の実施例における選択線駆動回路の構成を示す回路図



【図41】

図41

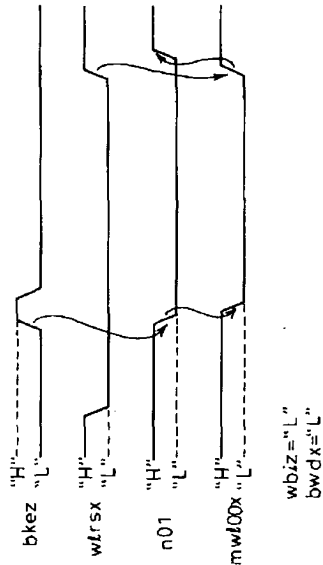
本発明の第3の実施例における強制冗長選択用ヒューズ回路の構成を示す回路図



【図27】

Figure 27 is a line graph showing the relationship between the number of people (x-axis) and the number of people (y-axis). The x-axis is labeled "Number of people" and ranges from 0 to 10. The y-axis is labeled "Number of people" and ranges from 0 to 10. The graph shows a linear relationship where the number of people on the y-axis is equal to the number of people on the x-axis. The line starts at (0,0) and ends at (10,10).

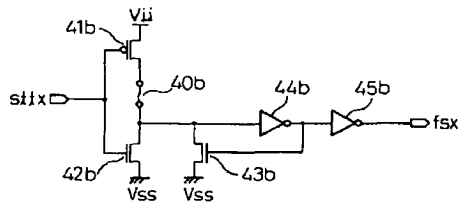
図19の選択線駆動回路の動作を説明するための  
タイミングチャート



【例42】

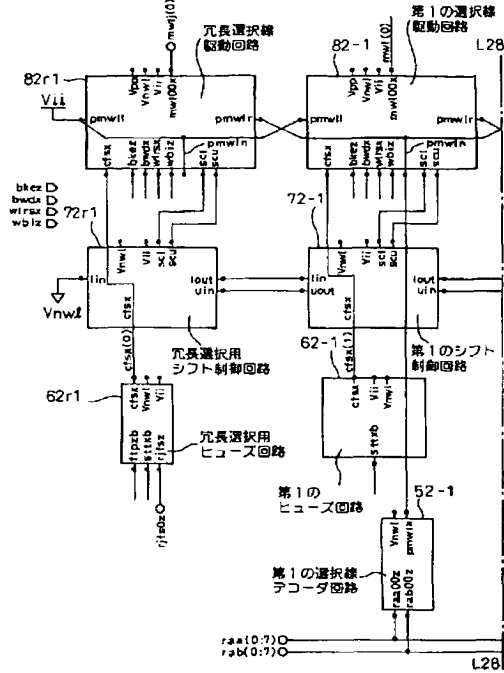
图 42

本発明の第 3 の実施例における通常選択用のヒューズ回路の構成を示す回路図



【图28】

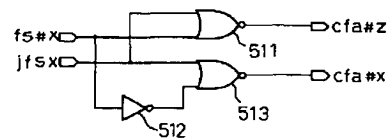
図 28 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 1)



【例43】

43

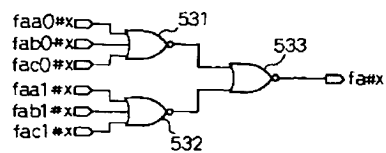
本発明の第 3 の実施例におけるヒューズ信号生成回路の構成を示す回路図



【例45】

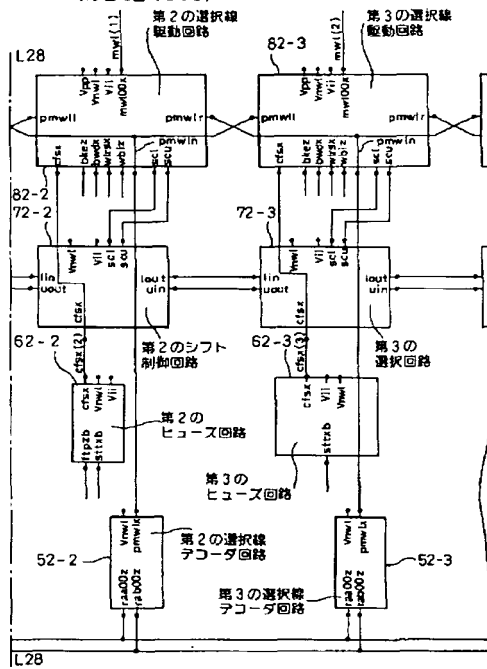
45

本発明の第３の実施例におけるヒューズテコーダ回路の構成を示す回路図



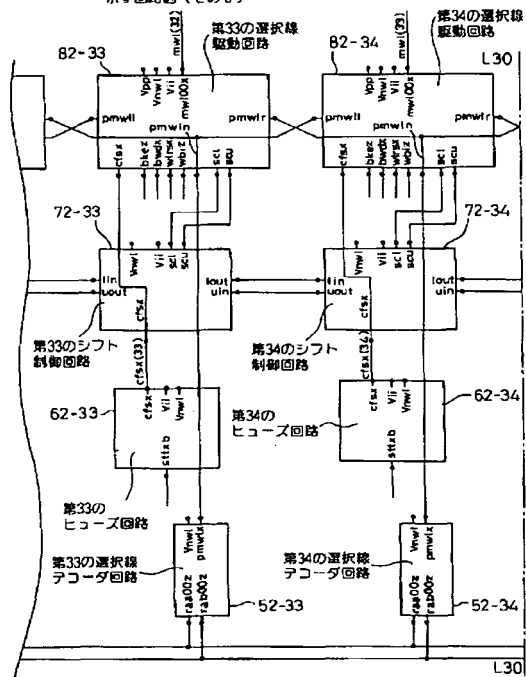
【图29】

図 29 本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 2）



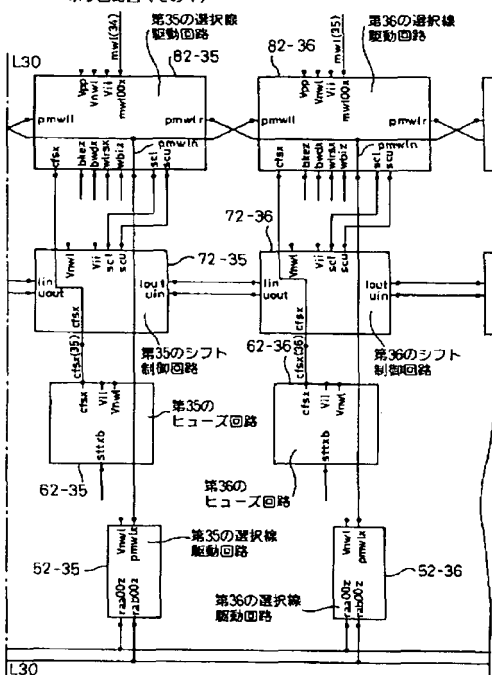
【図30】

図 30 本発明の第 2 の実施例における各回路間のつながりを示す回路図（その 3）



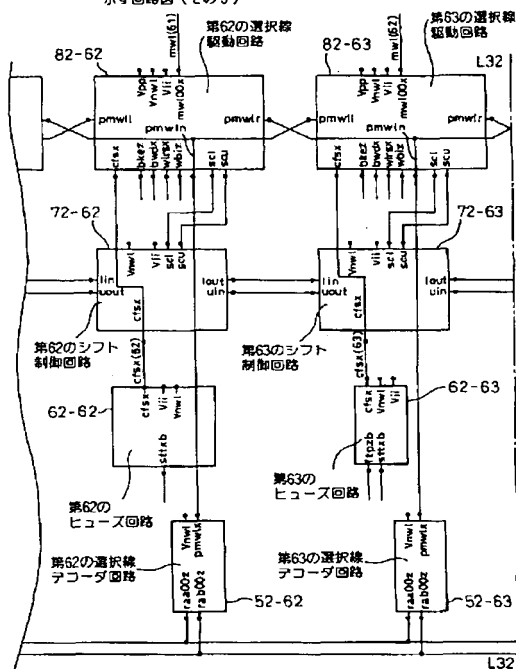
【图 3-1】

図 31 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 4)



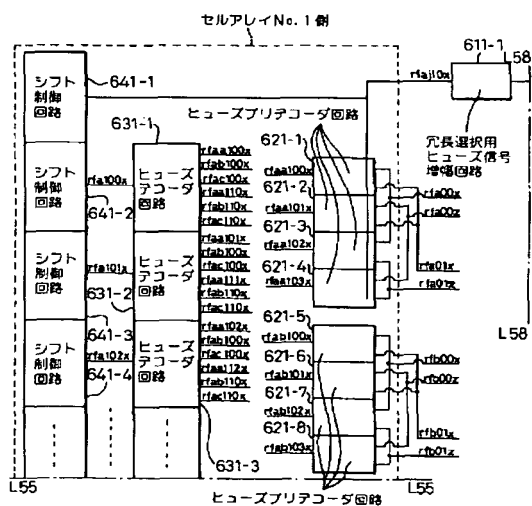
【图 3-2】

図 32 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 5)



【図55】

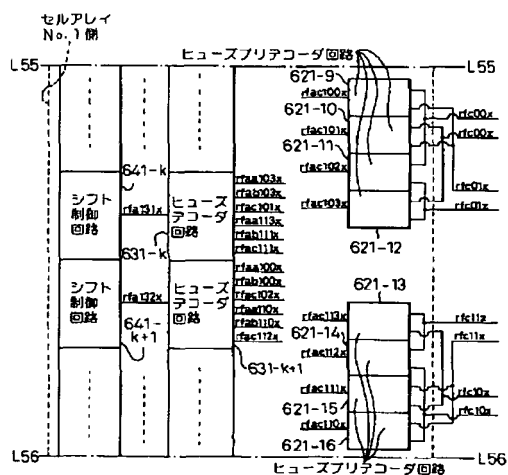
図 55 本発明の第 4 の実施例の全体的な回路構成を示すブロック図  
(その 1)



【图56】

図 58

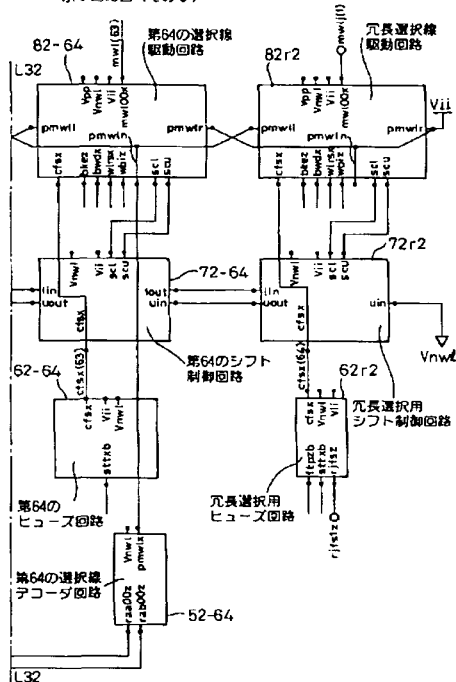
本発明の第 4 の実施例の全体的な回路構成を示すブロック図  
(その 2)



【图 33】

【例 34】

図 33 本発明の第 2 の実施例における各回路間のつながりを示す回路図 (その 6)



【図57】

本発明の第２の実施例におけるシフト制御回路の回路レイアウトを示す図

**图 34**

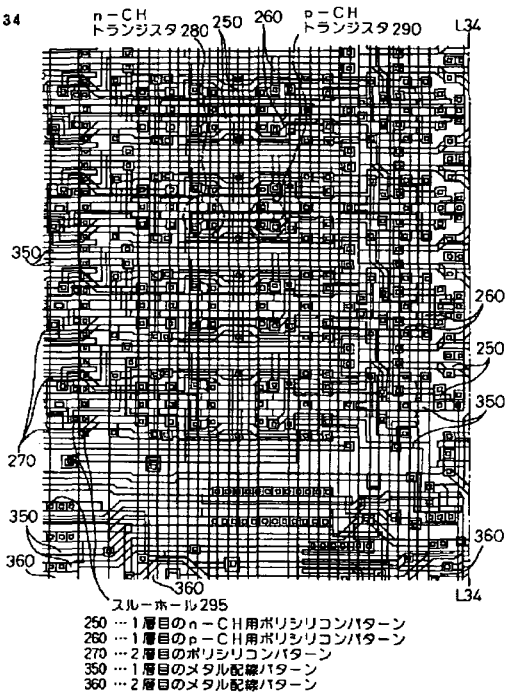
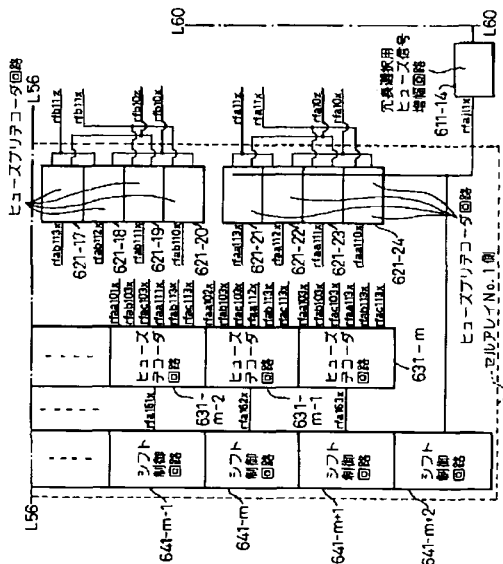


図 57

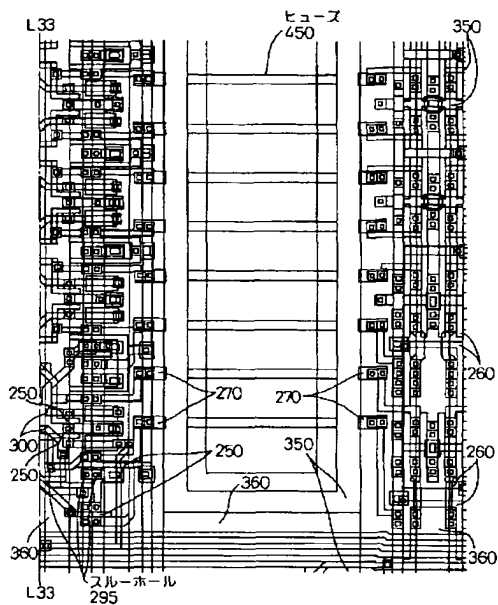
本発明の第 4 の実施例の全体的な回路構成を示すブロック図  
(その 3)



【图35】

图 35

本発明の第２の実施例におけるヒューズ回路の回路レイアウトを示す図

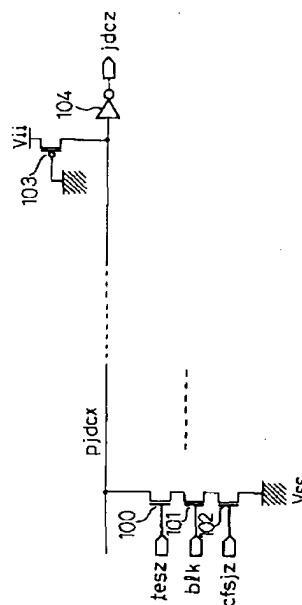


【图53】

【图36】

36

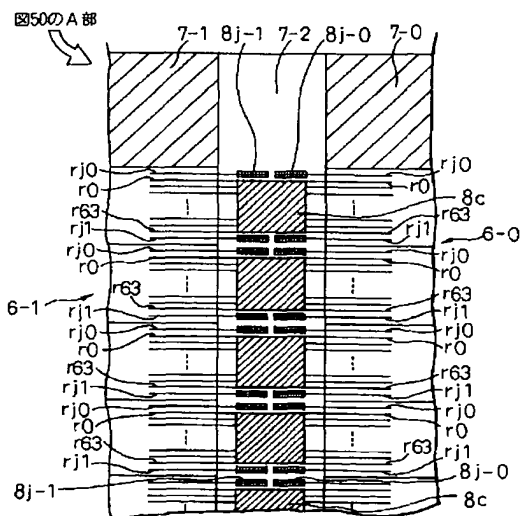
本発明の実施例に適用される冗長ブロック検出回路の一構成例を示す回路図



【例6 1】

**图 53**

隣接するセルアレイに対しヒューズ回路および強制冗長用ヒューズ回路を共有させる場合の図50のA部の構成を拡大して示す図



8 c …共有のヒューズ回路および強制冗長用ヒューズ回路

 B1

本発明の第 4 の実施例における冗長選択用ヒューズ回路の構成を示す回路図

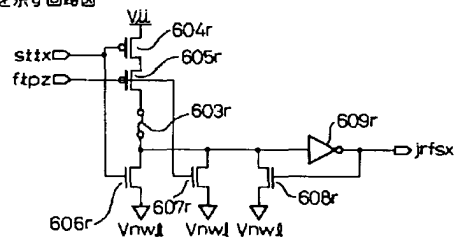
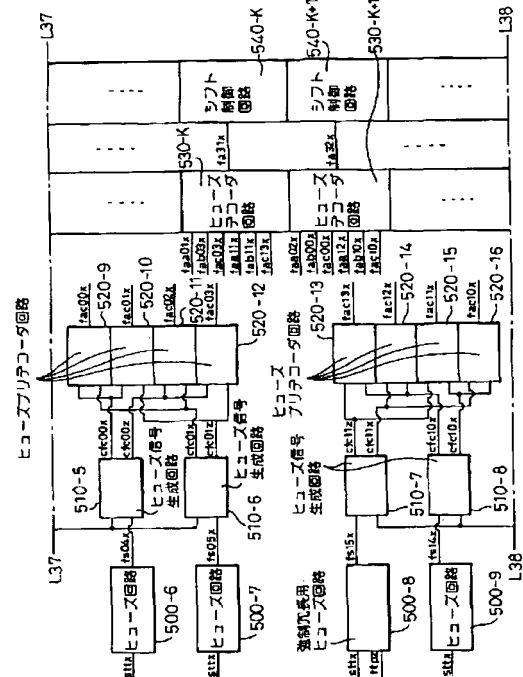


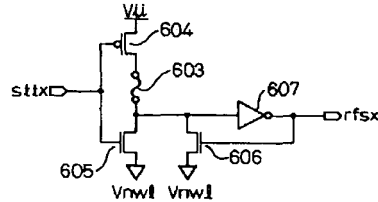
図 38 本発明の第 3 の実施例の全体的な回路構成を示すブロック図 (その 2)



【図63】

63

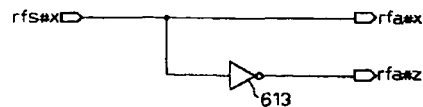
本発明の第４の実施例における通常選択用のヒューズ回路の構成を示す回路図



【図65】

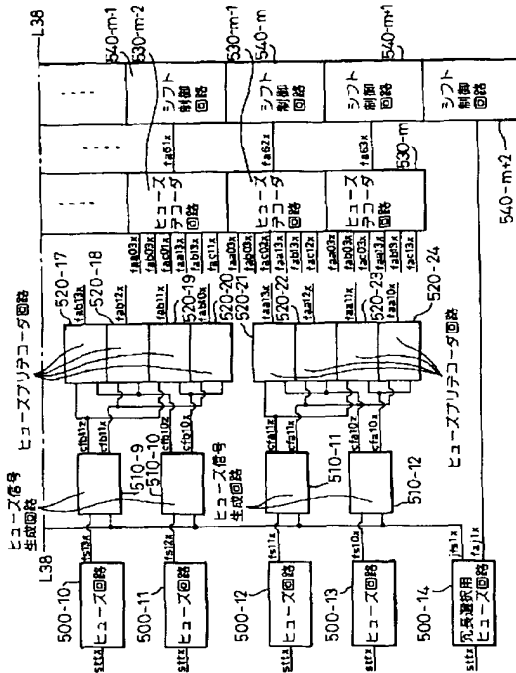
85

本発明の第 4 の実施例におけるヒューズ信号生成回路の構成を示す回路図



【図39】

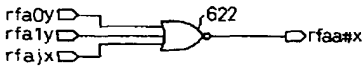
図 39 本発明の第3の実施例の全体的な回路構成を示すブロック図 (その3)



【図66】

図 66

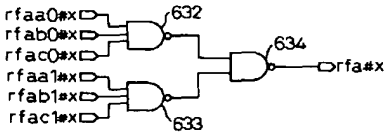
本発明の第4の実施例における第1のヒューズプリリテコーダ回路の構成を示す回路図



【図68】

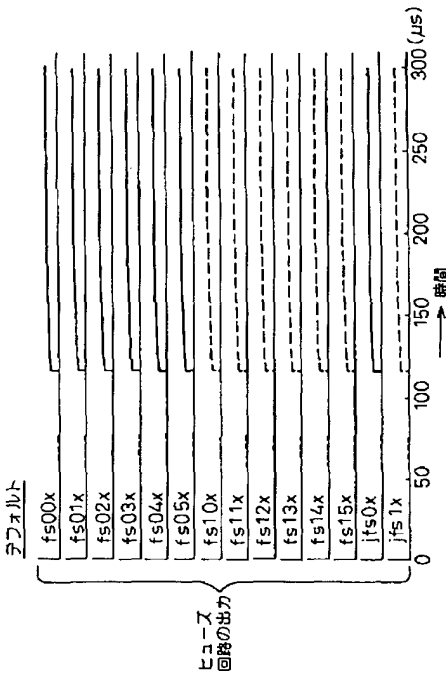
図 68

本発明の第4の実施例におけるヒューズテコーダ回路の構成を示す回路図



【図46】

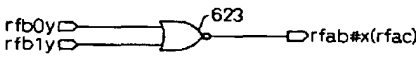
図 46 選択線に欠陥がない場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図



【図67】

図 67

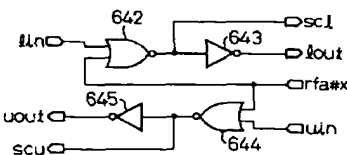
本発明の第4の実施例における第2のヒューズプリリテコーダ回路の構成を示す回路図



【図69】

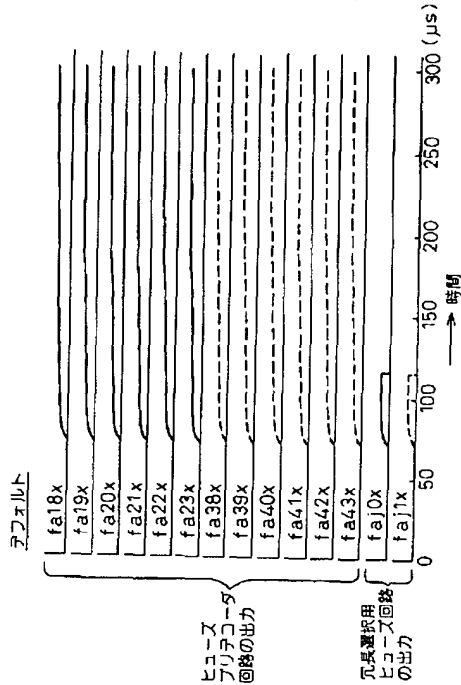
図 69

本発明の第4の実施例におけるシフト制御回路の構成を示す回路図



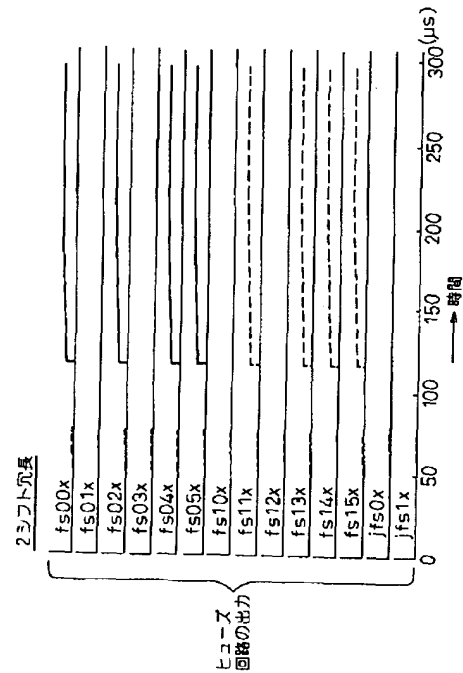
【図47】

図47 選択線に欠陥がない場合における図44のヒューズプリエンコーダ回路のシミュレーション動作を示す電圧波形図



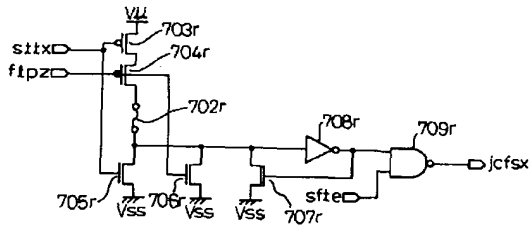
【図48】

図48 2シフト冗長を実行した場合における図42のヒューズ回路のシミュレーション動作を示す電圧波形図



【図73】

図73 本発明の第5の実施例における冗長選択用ヒューズ回路の構成を示す回路図



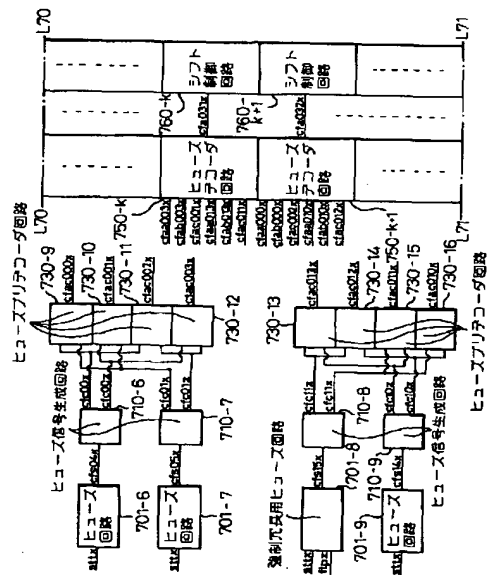
【図76】

図76 本発明の第5の実施例における冗長選択用ヒューズ信号増幅回路の構成を示す回路図

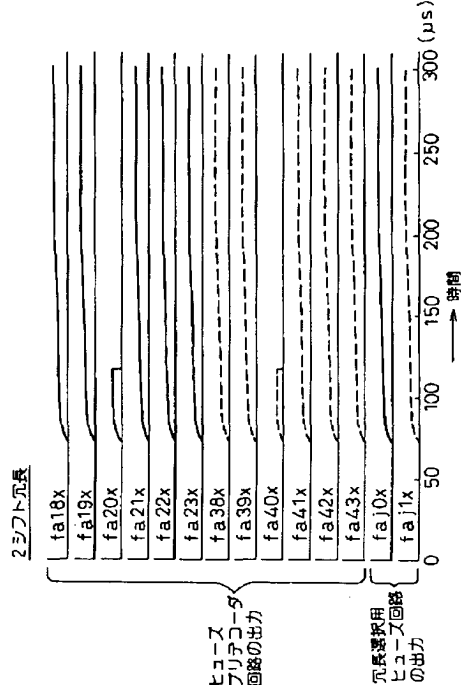


【図71】

図71 本発明の第5の実施例の全体的な回路構成を示すブロック図 (その2)

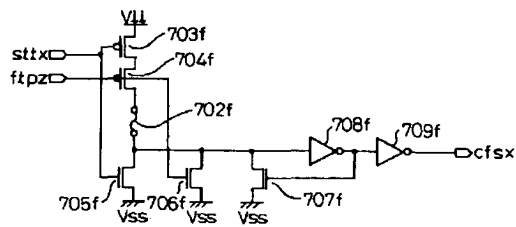


【図49】

図 49 2シフト冗長を実行した場合における図44のヒューズブリ  
テコダ回路のシミュレーション動作を示す電圧波形図

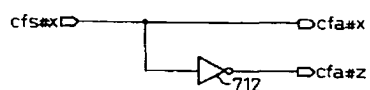
【図74】

図 74

本発明の第5の実施例における強制冗長用ヒューズ回路の構成を  
示す回路図

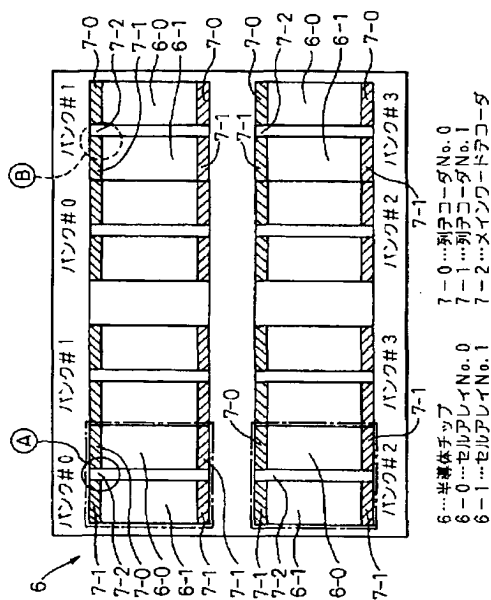
【図77】

図 77

本発明の第5の実施例におけるヒューズ信号生成回路の  
構成を示す回路図

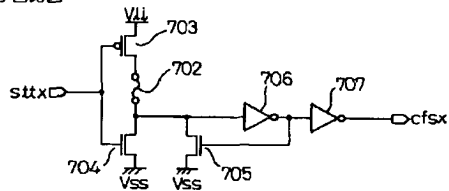
【図50】

図 50

本発明のシフト冗長方式の半導体装置が適用される半導体チップの  
概略的構成を示す図

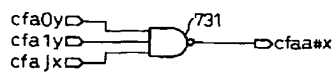
【図75】

図 75

本発明の第5の実施例における通常選択用のヒューズ回路の構成を  
示す回路図

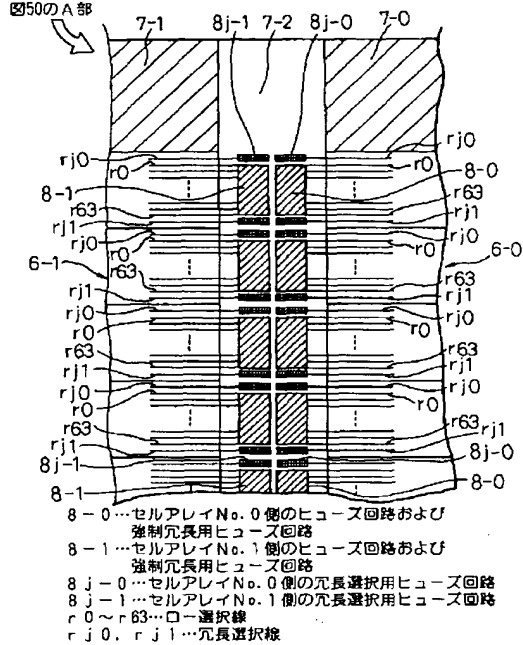
【図78】

図 78

本発明の第5の実施例における第1のヒューズブリテコダ  
回路の構成を示す回路図

【図51】

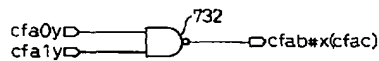
図51  
各々のセルアレイに対し独立にヒューズ回路、強制冗長用ヒューズ回路および冗長選択用ヒューズ回路を設ける場合の図50のA部の構成を拡大して示す図



【図79】

図79

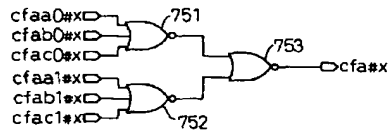
本発明の第5の実施例における第2のヒューズプリエンコード回路の構成を示す回路図



【図80】

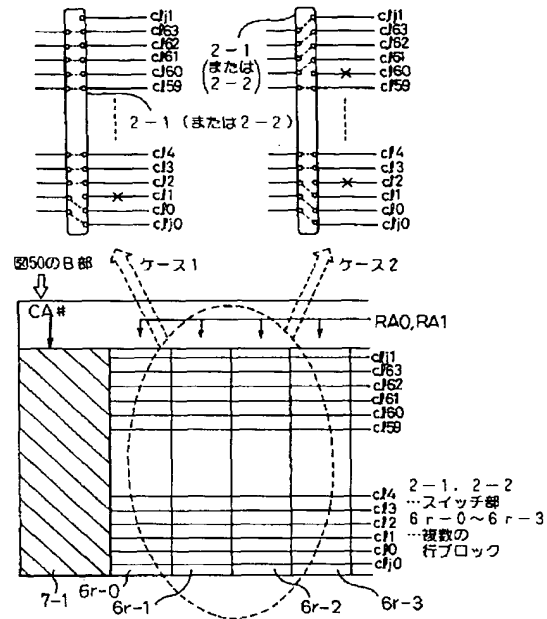
図80

本発明の第5の実施例におけるヒューズデコード回路の構成を示す回路図



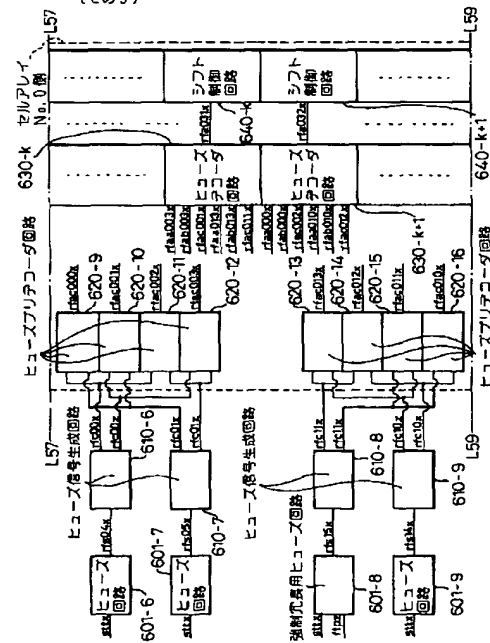
【図52】

図52  
メモリセルブロック内の複数の行ブロックに対し一様にカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図



【図59】

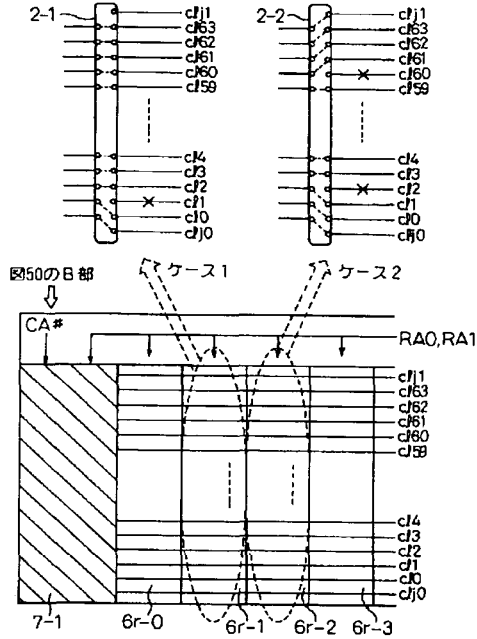
図59 本発明の第5の実施例の全体的な回路構成を示すブロック図 (その5)



【図54】

図54

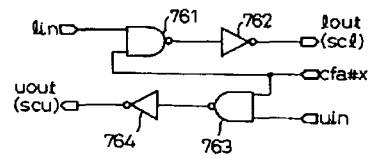
メモリセルブロック内の各々の行ブロック単位でカラム選択線のシフト冗長を行う場合の図50のB部の構成を拡大して示す図



【図81】

図81

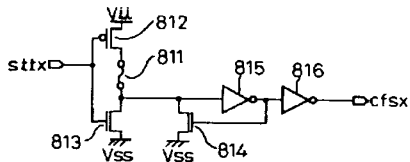
本発明の第5の実施例におけるシフト制御回路の構成を示す回路図



【図90】

図90

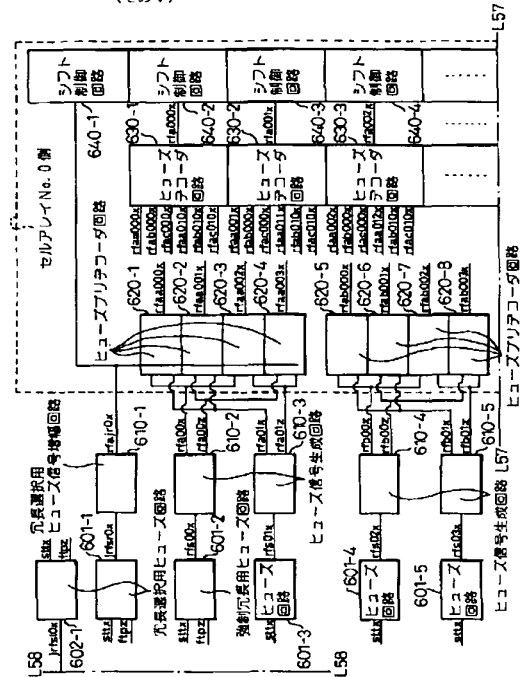
本発明の第6の実施例における通常選択用のヒューズ回路の構成を示す回路図



【図58】

図58

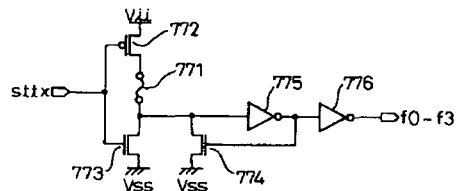
本発明の第4の実施例の全体的な回路構成を示す回路図 (その4)



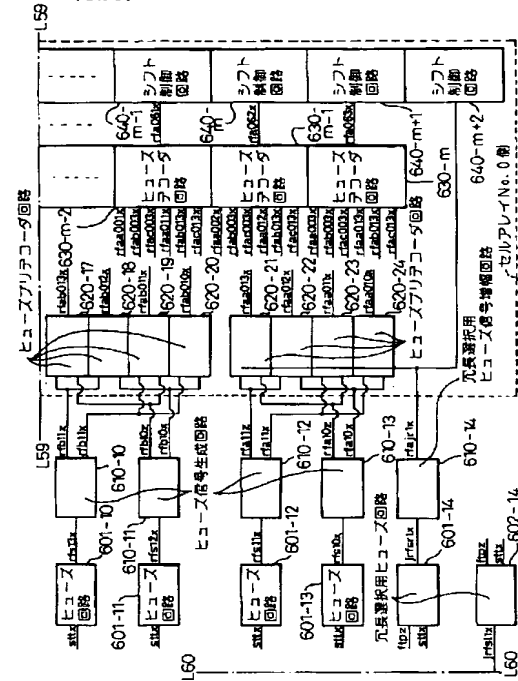
【図83】

図83

本発明の第5の実施例における冗長行ブロック選択回路の構成を示す回路図

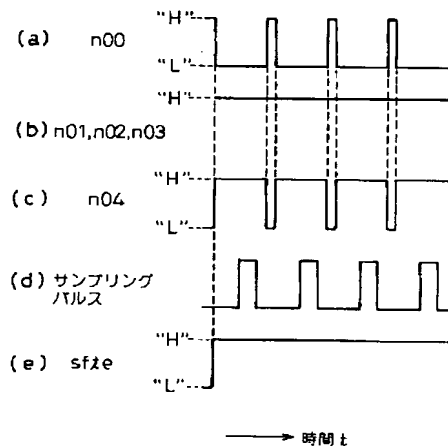


【図60】

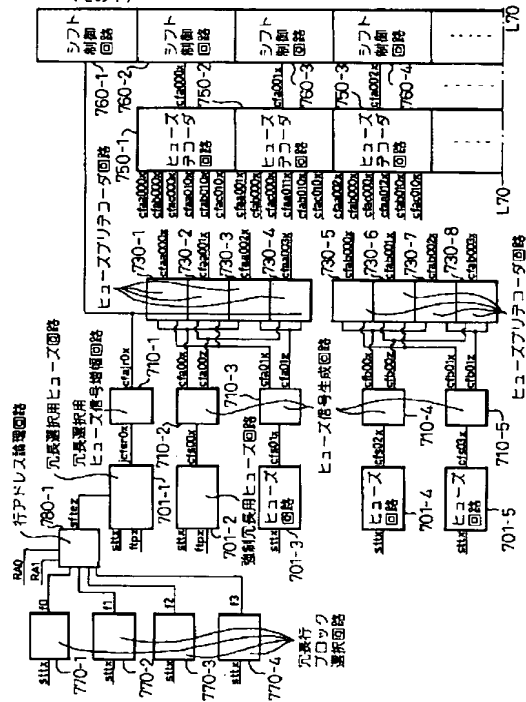
図 60 本発明の第5の実施例の全体的な回路構成図を示すブロック図  
(その6)

【図85】

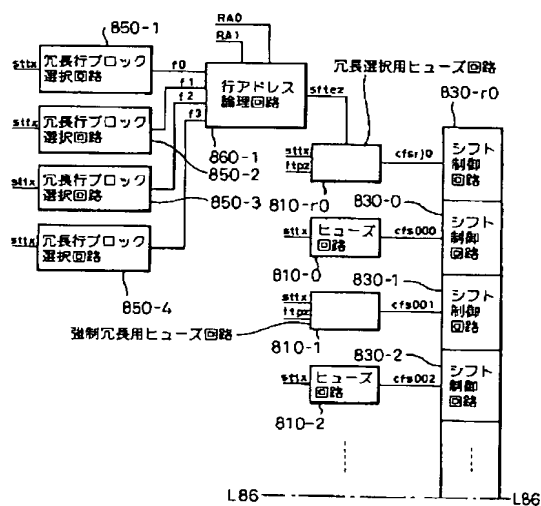
図 85

図84の行アドレス論理回路の動作を説明するための  
タイミングチャート

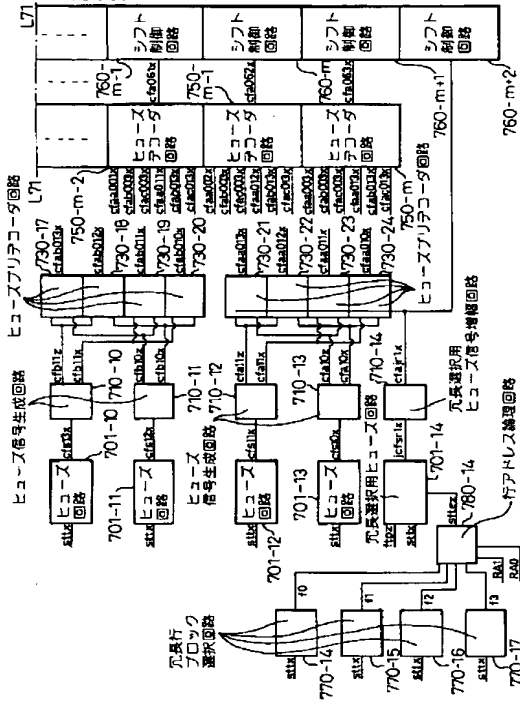
【図70】

図 70 本発明の第5の実施例の全体的な回路構成図を示すブロック図  
(その1)

【図86】

図 86 本発明の第6の実施例の全体的な回路構成図を示すブロック図  
(その1)

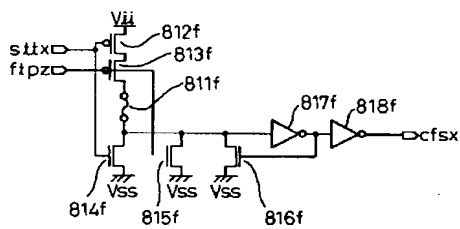
【図72】

図72 本発明の第5の実施例の全体的な回路構成を示すブロック図  
(その3)

【図89】

図89

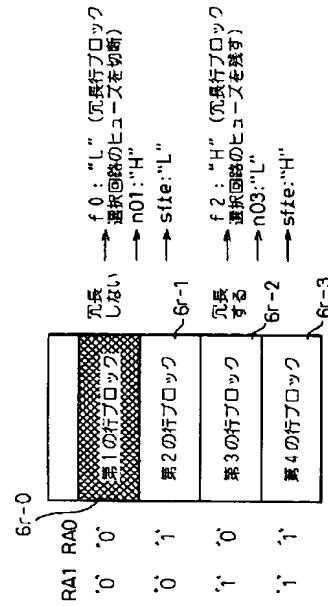
本発明の第6の実施例における強制冗長用ヒューズ回路の構成を示す回路図



【図82】

図82

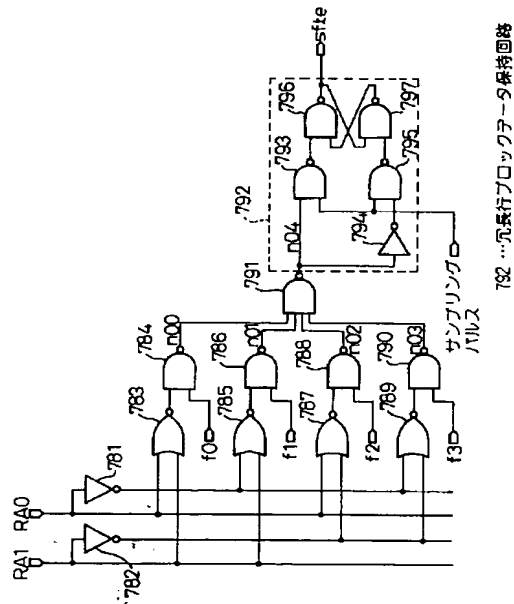
本発明の第5の実施例にて各々のメモリセルブロック内に存在する4つの行ブロックの状態の一例を示す図



【図84】

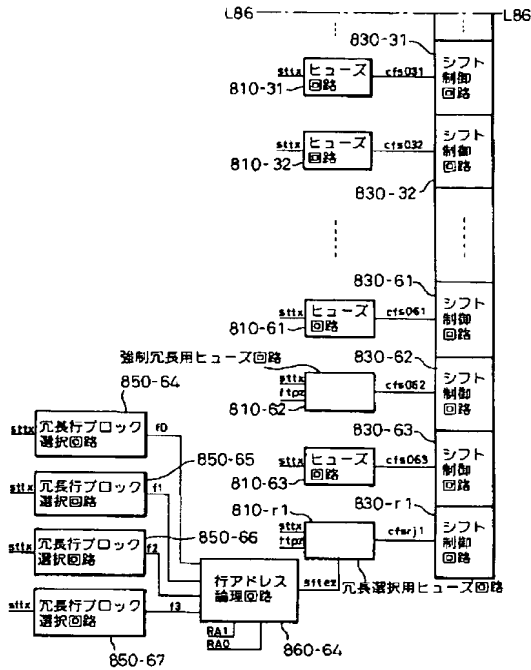
図84

本発明の第5の実施例における行アドレス論理回路の構成を示す回路図



【図87】

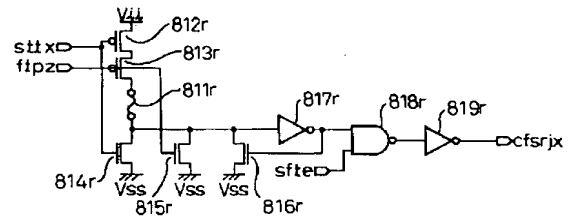
図 87 本発明の第6の実施例の全体的な回路構成を示すブロック図  
(その2)



【図88】

図 88

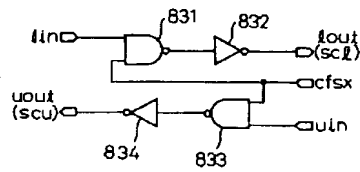
本発明の第6の実施例における冗長選択用ヒューズ回路の構成を示す回路図



【図91】

図 91

本発明の第6の実施例におけるシフト制御回路の構成を示す回路図



【図92】

図 92

本発明の第6の実施例における冗長行ブロック選択回路の構成を示す回路図

